

零起步轻松学系列丛书

零起步 轻松学

数字电路

(第2版)

蔡杏山 蔡玉山 编著

人民邮电出版社

图书在版编目 (C I P) 数据

零起步轻松学数字电路 / 蔡杏山, 蔡玉山编著. —
2版. — 北京: 人民邮电出版社, 2010. 1
(零起步轻松学系列丛书)
ISBN 978-7-115-21812-4

I. ①零… II. ①蔡… ②蔡… III. ①数字电路—基
本知识 IV. ①TN79

中国版本图书馆CIP数据核字(2009)第223215号

内 容 提 要

本书是一本介绍数字电路的图书, 共分 8 章, 主要内容包括门电路, 数制、编码与逻辑代数, 组合逻辑电路, 时序逻辑电路, 脉冲电路, D/A 转换器和 A/D 转换器, 半导体存储器。

为了帮助初学者轻松掌握书中的内容, 本书在每章的首页列出本章知识结构图, 对书中的重点内容采用黑体显示, 同时在每一章后附习题, 以帮助读者检验学习效果。

本书起点低、通俗易懂, 内容结构安排符合学习认知规律, 适合作电子技术初学者的自学读物, 也适合作职业院校电类专业的教材和教学参考用书。

零起步轻松学系列丛书

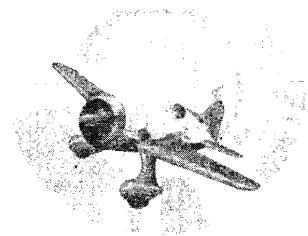
零起步轻松学数字电路 (第 2 版)

- ◆ 编 著 蔡杏山 蔡玉山
责任编辑 申 苹
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子函件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
中国铁道出版社印刷厂印刷
- ◆ 开本: 787×1092 1/16
印张: 13.75
字数: 266 千字 2010 年 1 月第 2 版
印数: 9 501 - 14 500 册 2010 年 1 月北京第 1 次印刷

ISBN 978-7-115-21812-4

定价: 25.00 元

读者服务热线: (010)67129264 印装质量热线: (010)67129223
反盗版热线: (010)67171154



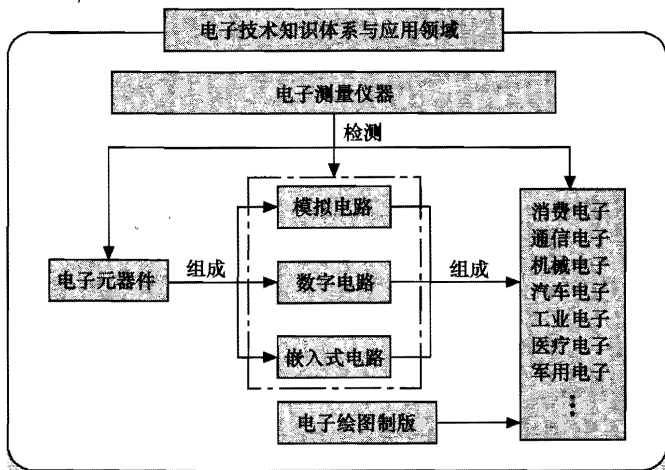
丛 书 前 言

一、电子技术知识体系及应用领域

“电子技术无处不在”，小到各种家用消费电子产品，大到飞机导航、雷达通信和神舟飞船上天，无不用到电子技术。这些领域的设备从设计、生产、销售、维护到维修的各个环节都需要大量的电子技术人才。

电子技术虽然应用广泛，但各个应用领域内的电子技术基础都是一样的，读者只要掌握了电子技术基础，就可以根据自己的爱好和实际情况选择进入不同的电子技术应用领域。

电子技术知识体系和应用领域见下图。

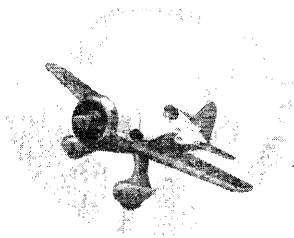


二、如何学好电子技术

电子技术是一门系统性很强、涉及面很广的技术，初学者在学习时常常会感到无从下手，困难重重。要想快速、轻松地迈进电子技术领域，需要掌握正确的学习方法。下面提供几条学习建议。

➤ 了解电子技术知识体系结构，明白需要学习的内容

学习汉语时，先要学习字、词，然后学习由字、词组成的各种句子，最后将字、词和句子组合起来就可以形成各种各样的文章。在电子技术知识体系中，电子元器件相当于汉



语中的字、词，模拟电路、数字电路和嵌入式电路（如单片机）就相当于各种句子，根据需要将电子元器件和电路按一定方式组合起来，就可以构成各种各样的电子设备，即汉语中的文章。

如果要检测电子元器件、电路和电子设备的有关参数及性能好坏，就要用到电子测量仪器。如果要在图纸上绘制电路图或者制作印制电路板，就要掌握电子绘图制版软件（如Protel99SE等）。

➤ 选用合适的教材

一本好教材就相当于一位好老师，好老师可以让你学习时少走弯路，并能让你轻松学到有用的知识，好教材也应该是如此。为了使学习的知识系统化，对于初学者，强烈建议选择成套的教材，因为好的成套教材，其知识体系比较系统全面，内容结构安排符合认知规律，分册图书之间的知识重叠少。

➤ 在学习理论的同时，尽量找机会动手实践

电子技术是一门实践性很强的技术，在学习时，先要掌握一定的理论知识，然后尽量找机会动手实践。如拆卸废旧电子产品以锻炼焊接能力；用万用表检测元器件以学习万用表的使用方法；尝试检修电子产品，即使没有修好，在检修过程中也会不知不觉地提高自己的水平。如果条件许可，还可购买一些电子制作套件，通过组装和检测电子套件来提高自己的动手能力。

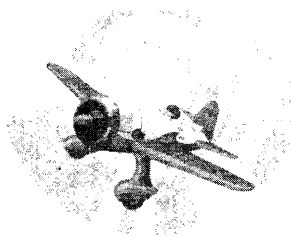
三、丛书简介

《零起步轻松学系列丛书》是一套非常适合初学者使用的入门教材，它分两个系列：电子技术系列和电工技术系列。这套丛书涉及电子、电工技术基础知识体系中的方方面面，各分册既紧密相关，又独立成册，具体内容如下。

电子技术系列图书：

➤ 《零起步轻松学电子技术（第2版）》 以很低的起点将读者引入电子技术领域，让读者初步全面了解电子技术，对其有一个整体的认识，并掌握一定的动手能力。内容涉及电子技术基础知识、电子元器件知识、电子测量仪器的使用、电子电路和电子设备的检修等。

➤ 《零起步轻松学电子电路（第2版）》 用通俗易懂的语言介绍电子电路（放大电路、谐振电路、滤波电路、正弦波振荡器电路、调制与解调电路、变频电路和电源电路等）



的分析方法，培养读者对模拟电路的识图能力。

➤ 《零起步轻松学数字电路（第2版）》 从数字电路中最基本的门电路开始，介绍各种基础数字电路，培养读者对数字电路的识图能力。

➤ 《零起步轻松学电子元器件》 全面地介绍了各种常用电子元器件（电阻器、电容器、电感器、变压器、二极管、三极管、光电器件、电声器件、晶闸管、场效应管、贴片元器件和集成模块等）的种类、性能、重要参数和检测方法等。

➤ 《零起步轻松学电子测量仪器》 介绍各种电子测量仪器、仪表的使用方法，如万用表、信号发生器、示波器等，培养读者使用电子测量仪器及仪表检测电子元器件、电子电路和电子设备的能力。

➤ 《零起步轻松学 Protel 99 SE 电路设计》 介绍如何使用 Protel 99 SE 软件设计电路原理图和印制电路板，使有一定电子技术基础的读者学会利用计算机绘图软件进行电路设计。

➤ 《零起步轻松学单片机技术》 以 MCS-51 单片机为例，介绍了单片机的基础知识和各种实用技术。

电工技术系列图书：

➤ 《零起步轻松学电工技术》 主要介绍电工基础知识、电工仪表、低压电器、电子元器件、变压器、电动机和室内配电布线以及安全用电等内容。

➤ 《零起步轻松学电工常用电子电路》 主要介绍电路基础知识、模拟电子电路、数字电子电路、晶闸管电路和一些实用的电工电子电路。

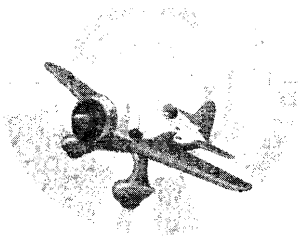
➤ 《零起步轻松学电动机及控制线路》 主要介绍电气控制线路基础知识和直流电动机、三相异步电动机、单相异步电动机、各种特种电动机的工作原理及相关的控制线路。

➤ 《零起步轻松学变频技术》 主要介绍变频常用电力电子器件、交-直-交变频技术、脉宽调制技术、交-交变频技术和变频技术的应用，另外还介绍变频器的安装、调试和维修。

➤ 《零起步轻松学 PLC 技术》 主要介绍 PLC 基础知识、PLC 开发过程、PLC 编程和 PLC 应用系统开发实例等内容。

四、丛书的特点

➤ 结构安排符合人的认识规律。在图书内容编排上，按照循序渐进、由浅入深的原则进行，读者只需从前往后阅读图书，便会水到渠成。



➤ **起点低，语言通俗易懂。**书中少用专业化的术语，多用通俗易懂的语言，遇到较难理解的内容用比喻来说明，尽量避免复杂的理论分析和烦琐的公式推导，具有初中文化程度的读者即可阅读。

➤ **采用图文并茂的方式表现内容。**书中大多采用读者喜欢的直观形象的图表方式表现内容，使阅读变得轻松。

➤ **突出显示书中知识要点。**为了帮助读者掌握书中的知识要点，书中用阴影和文字加粗的方法突出显示知识要点，指示学习重点。

➤ **网络辅导。**读者在阅读时遇到难理解的问题，可登录**易天教学网**：www.eTV100.com，向老师提问，在网络辅导下更快、更轻松地学习书中的知识。

五、丛书的读者对象

本套丛书起点低，只要具有初中文化程度且对电子、电工技术感兴趣的读者就可阅读，主要的读者对象有以下几类：

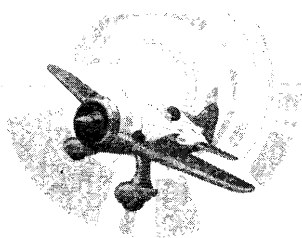
➤ **电子、电工技术爱好者。**对于这类读者来说，本丛书内容丰富、通俗易懂的特点可使读者，尤其是初学者快速掌握电子、电工技术知识，轻松迈入电子、电工技术大门。

➤ **电子、电工技术从业人员。**这包括准备或者正在从事电子、电工技术相关领域工作的人员。对于这类读者来说，本丛书是一套完整的电子、电工技术入门自学教材，学习本丛书可为以后的实践工作打下坚实的基础。

➤ **职业院校相关专业的学生。**这包括以电子、电工技术为主专业的学生，也包括不以电子、电工技术为主专业，但需要学习电子、电工技术知识的学生。对于这类读者来说，本丛书是一套非常好的课外辅导书，能让读者更容易理解教材的内容。

本书在编写过程中得到了易天教学网很多老师的支持，其中蔡玉山、詹春华、何慧、黄晓玲、蔡春霞、邓艳姣、黄勇、刘凌云、刘元能等参与了部分章节的编写工作，在此一致表示感谢。由于我们水平有限，书中存在错误和疏漏在所难免，望广大读者和同仁予以批评指正。

编 者



前言

在现代社会, 数字电子技术得到越来越广泛的应用。数字电路是组成数字电子设备的基本单元, 学习数字电路基础知识有助于设计、生产和维修这些数字电子设备。

一、本书章节内容

第 1 章 概述 本章主要介绍了与数字电路有关的一些基础知识, 包括数字电路的发展概况、数字信号和模拟信号区别、正逻辑和负逻辑及三极管的开关状态等知识。

第 2 章 门电路 门电路是组成各种复杂数字电路的基本单元。本章主要介绍基本门电路、复合门电路和集成门电路, 另外, 本章还通过讲解门电路实验板的电路原理和实验操作来说明门电路的组合应用。

第 3 章 数制、编码与逻辑代数 本章主要介绍了数制、编码和逻辑代数的相关知识, 这些内容是数字电路分析与设计的基本理论知识, 其中数制就是数的进制制, 编码是指用二进制数表示各种数字或符号的过程, 逻辑代数是分析和设计数字电路的数学工具。

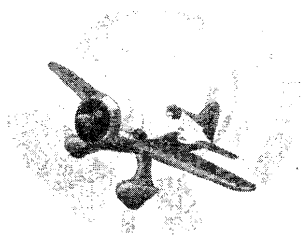
第 4 章 组合逻辑电路 组合逻辑电路是一种任何时刻的输出只由当时的输入决定, 而与电路的原状态无关的电路。本章主要介绍了编码器、译码器、加法器、数值比较器、数据选择器、奇偶校码器知识和数码管译码控制器的电路原理与实验操作。

第 5 章 时序逻辑电路 时序逻辑电路是一种具有记忆功能的电路, 它是由组合逻辑电路与记忆电路组合而成的。本章主要介绍了触发器、寄存器、计数器和电子密码控制器的电路原理与实验操作。

第 6 章 脉冲电路 脉冲电路是用来产生脉冲和整形脉冲的电路。本章主要介绍了脉冲产生电路、脉冲整形电路、555 定时器和电子催眠器的电路原理与实验操作。

第 7 章 D/A 转换器和 A/D 转换器 D/A 转换器即数/模转换器, 其功能是将数字信号转换成模拟信号。A/D 转换器即模/数转换器, 其功能是将模拟信号转换成数字信号。本章主要介绍了一些常用的 D/A 转换器和 A/D 转换器。

第 8 章 半导体存储器 半导体存储器是指由半导体材料制成的, 用来存取二进制数据和程序的电路。本章主要介绍了顺序存储器、随机存储器和只读存储器。



二、本书学习建议

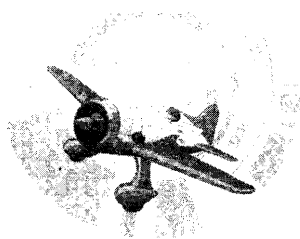
在学习本书内容时，建议读者：

(1) 从前往后逐章节阅读图书，每次不要阅读太多内容，重在理解和掌握；对书中黑体显示的内容要重点理解并记忆；认真完成每章的习题，检验本章的学习效果。

(2) 在学习数字电路时，除了要了解各种数字电路的工作原理外，还要掌握数字电路分析和设计的一般步骤。建议读者认真研究书中介绍的几个数字电路小制作电路，以掌握数字电路组成应用系统的一些规律。

(3) 如果阅读时遇到难以理解的问题，可以登录易天教学网 www.eTV100.com，通过观看网站有关学习材料或向老师提问进行学习。

编 者



目 录

第 1 章 概述.....1

习题 1.....4

第 2 章 门电路.....6

2.1 基本门电路.....7

2.1.1 与门.....7

2.1.2 或门.....9

2.1.3 非门.....11

2.2 门电路实验板的电路原理与实验...13

2.2.1 电路原理.....13

2.2.2 基本门实验.....14

2.3 复合门电路.....15

2.3.1 与非门.....15

2.3.2 或非门.....17

2.3.3 与或非门.....18

2.3.4 异或门.....20

2.3.5 同或门.....22

2.4 集成门电路.....23

2.4.1 TTL 集成门电路.....24

2.4.2 CMOS 集成门电路.....31

习题 2.....38

第 3 章 数制、编码与 逻辑代数.....41

3.1 数制.....42

3.1.1 十进制数.....42

3.1.2 二进制数.....42

3.1.3 十六进制数.....44

3.1.4 数制转换.....44

3.2 编码.....46

3.2.1 8421BCD 码、2421BCD 码和

5421BCD 码.....46

3.2.2 余 3 码.....47

3.2.3 格雷码.....47

3.2.4 奇偶校验码.....48

3.3 逻辑代数.....49

3.3.1 逻辑代数的常量和变量.....49

3.3.2 逻辑代数的基本运算规律.....50

3.3.3 逻辑表达式的化简.....52

3.3.4 逻辑表达式、逻辑电路和真值表

相互转换.....54

3.3.5 逻辑代数在逻辑电路中的应用.....56

习题 3.....57

第 4 章 组合逻辑电路.....59

4.1 组合逻辑电路分析与设计.....60

4.1.1 组合逻辑电路的分析.....60

4.1.2 组合逻辑电路的设计.....61

4.2 编码器.....63

4.2.1 普通编码器.....63

4.2.2 优先编码器.....64

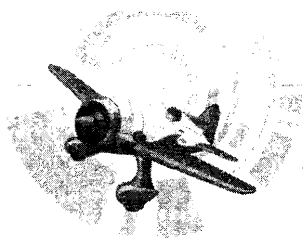
4.3 译码器.....67

4.3.1 二进制译码器.....67

4.3.2 二-十进制译码器.....71

4.3.3 数码显示器与显示译码器.....74

4.4 数码管译码控制器的电路原理与 实验.....81



4.4.1 电路原理	81
4.4.2 实验操作	83
4.5 加法器	83
4.5.1 半加器	83
4.5.2 全加器	84
4.5.3 多位加法器	85
4.6 数值比较器	87
4.6.1 等值比较器	87
4.6.2 数值比较器	88
4.7 数据选择器	91
4.7.1 结构与原理	91
4.7.2 常用数据选择器芯片	93
4.8 奇偶校验器	94
4.8.1 奇偶校验原理	94
4.8.2 奇偶校验器	95
习题 4	96

第 5 章 时序逻辑电路

5.1 触发器	99
5.1.1 基本 RS 触发器	99
5.1.2 同步 RS 触发器	101
5.1.3 D 触发器	103
5.1.4 JK 触发器	105
5.1.5 T 触发器	108
5.1.6 主从触发器和边沿触发器	109
5.2 寄存器与移位寄存器	111
5.2.1 寄存器	111
5.2.2 移位寄存器	113
5.3 计数器	118
5.3.1 二进制计数器	119
5.3.2 十进制计数器	123

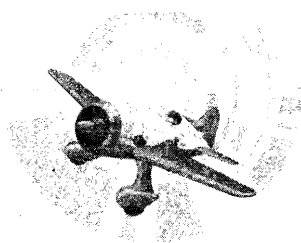
5.3.3 任意进制计数器	124
5.3.4 常用计数器芯片	126
5.4 电子密码控制器的电路原理与实验	130
5.4.1 电路原理	130
5.4.2 实验操作	135
习题 5	135

第 6 章 脉冲电路

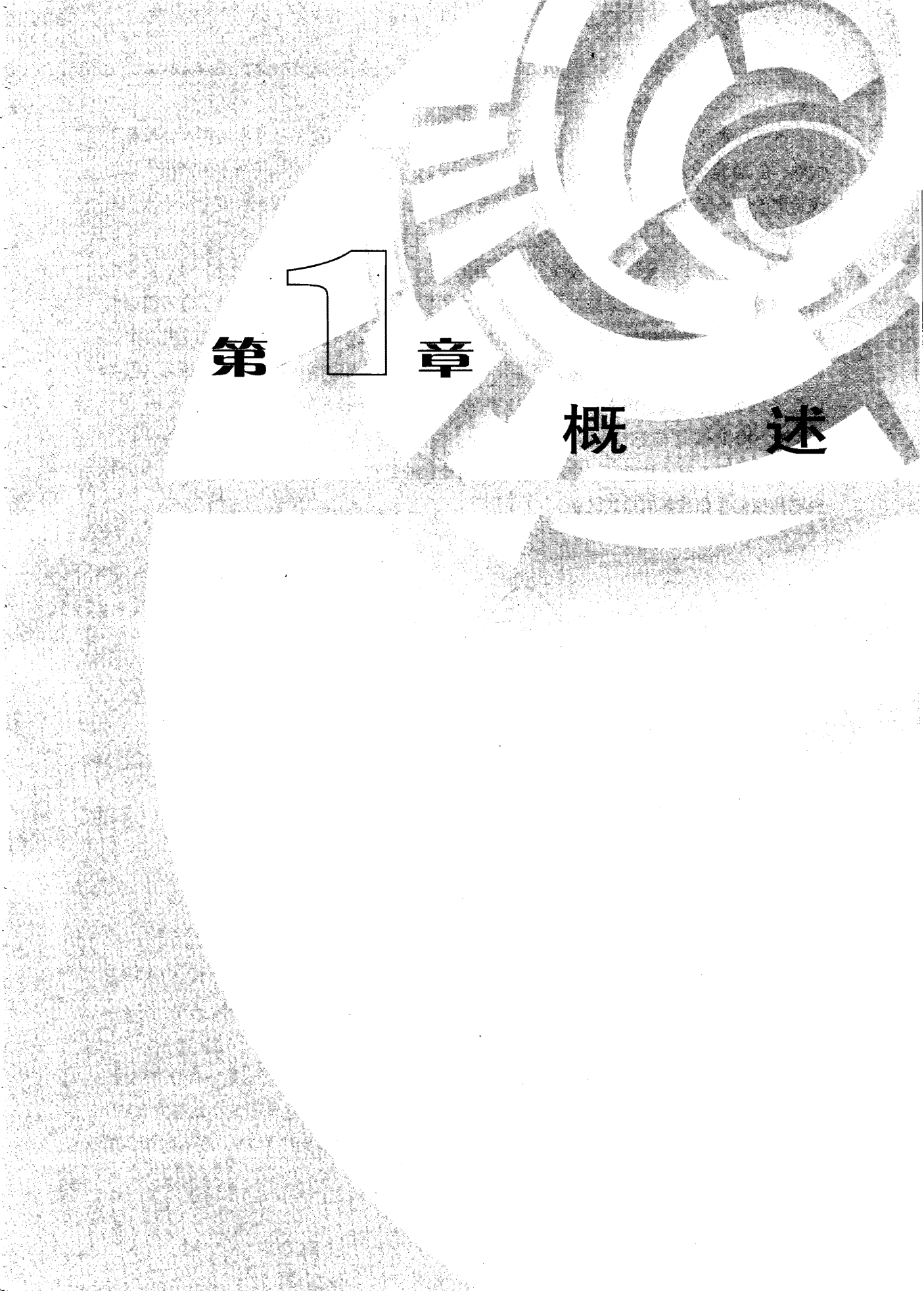
6.1 脉冲电路基础	139
6.1.1 脉冲的基础知识	139
6.1.2 RC 电路	140
6.2 脉冲产生电路	144
6.2.1 多谐振荡器	144
6.2.2 锯齿波发生器	146
6.3 脉冲整形电路	148
6.3.1 单稳态触发器	148
6.3.2 施密特触发器	152
6.3.3 限幅电路	155
6.4 555 定时器	158
6.4.1 结构与原理	159
6.4.2 应用	160
6.5 电子催眠器的电路原理与实验	165
6.5.1 电子催眠原理	165
6.5.2 电路原理	166
6.5.3 实验操作及分析	167
习题 6	168

第 7 章 D/A 转换器和 A/D 转换器

7.1 概述	171
--------	-----



7.2 D/A 转换器.....	171	8.1.2 动态移存器.....	189
7.2.1 D/A 转换原理.....	171	8.1.3 顺序存储器.....	189
7.2.2 D/A 转换器.....	172	8.2 随机存储器.....	191
7.2.3 D/A 转换芯片 DAC0832.....	176	8.2.1 随机存储器的结构与原理.....	191
7.3 A/D 转换器.....	178	8.2.2 存储单元.....	193
7.3.1 A/D 转换原理.....	178	8.2.3 存储器容量的扩展.....	197
7.3.2 A/D 转换器.....	180	8.3 只读存储器.....	199
7.3.3 A/D 转换芯片 ADC0809.....	183	8.3.1 固定只读存储器 (ROM).....	200
习题 7.....	185	8.3.2 可编程只读存储器 (PROM).....	202
第 8 章 半导体存储器.....	187	8.3.3 可改写只读存储器 (EPROM).....	203
8.1 顺序存储器.....	188	8.3.4 电可改写只读存储器 (EEPROM).....	204
8.1.1 动态移存单元.....	188	习题 8.....	205



第1章

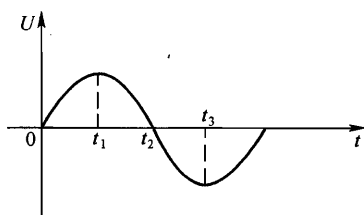
概 述

电子技术分为模拟电子技术和数字电子技术，我国的模拟电子技术发展相对较早且很成熟，在 20 世纪 80 年代和 90 年代，大量的电子制造企业采用模拟电子技术生产出大量物美价廉的电子产品，如收音机、录音机、电视机和录像机等，从而极大程度丰富了人们的物质和精神生活。

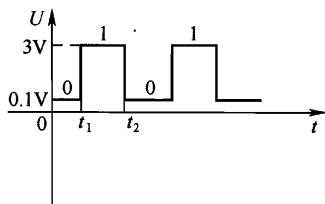
数字电子技术在我国发展较晚，进入 21 世纪后，数字电子技术开始迅速发展，日常生活中的数字电子产品也越来越多，家电消费类的数字电子产品如影碟机、数字电视机、电脑、移动电话、数码相机、数码摄像机、MP3、MP4 和移动电话等。另外，在工业生产过程的自动控制、无线电遥感测量、智能化仪表、高科技军事武器和航空航天领域等方面都广泛采用到了数字电子技术，可以说 21 世纪将是数字电子技术的天下。

1. 模拟信号与数字信号

模拟电路处理的是模拟信号，而数字电路处理的是数字信号。下面就以图 1-1 为例来说明模拟信号和数字信号的区别。



(a) 模拟信号



(b) 数字信号

图 1-1 模拟信号和数字信号

模拟信号是一种大小随时间连续变化的信号（例如电流或电压信号），图 1-1（a）所示就是一种模拟信号。从图 1-1（a）可以看出，在 $0 \sim t_1$ 时间内，信号电压慢慢上升，在 $t_1 \sim t_2$ 时间内，信号电压又慢慢下降，它们的变化都是连续的。

数字信号是一种突变的信号（例如电压或电流信号），图 1-1（b）所示是一种脉冲信号，是数字信号中的一种。从图 1-1（b）可以看出，在 $0 \sim t_1$ 期间，信号电压大小始终为 0.1V，而在 t_1 时刻，电压瞬间由 0.1V 上升至 3V，在 $t_1 \sim t_2$ 时间，电压始终为 3V，在 t_2 时刻，电压又瞬间由 3V 降到 0.1V。



由此可以看出, 模拟信号电压或电流的大小是随时间连续缓慢变化的, 而数字信号的特点是“保持”(一段时间内维持低电压或高电压)和“突变”(低电压与高电压的转换瞬间完成)。为了分析方便, 在数字电路中常将 $0 \sim 1\text{V}$ 范围的电压称为低电平, 用“0”表示; 而将 $3 \sim 5\text{V}$ 范围的电压称为高电平, 用“1”表示。

2. 正逻辑与负逻辑

数字信号只有“1”和“0”两位数值。在数字电路中, 有正逻辑与负逻辑两种体制。

正逻辑体制规定: 高电平为 1, 低电平为 0。

负逻辑体制规定: 低电平为 1, 高电平为 0。

在两种逻辑中, 正逻辑更为常用。图 1-2 所示的数字信号用正逻辑表示就是 010101。

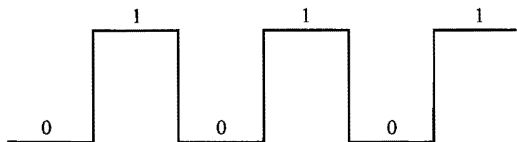


图 1-2 正逻辑表示的数字信号

3. 三极管的 3 种工作状态

三极管的工作状态有 3 种: 截止、放大和饱和。在模拟电路中, 三极管主要工作在放大状态。图 1-3 所示为一个含三极管的模拟电路, 电源经 R_1 为三极管 VT_1 提供基极偏置电压, VT_1 导通, 有电流 I_b 、 I_c 流过, 处于放大状态, 当模拟信号送到三极管基极时, 信号能被它放大并从集电极输出。

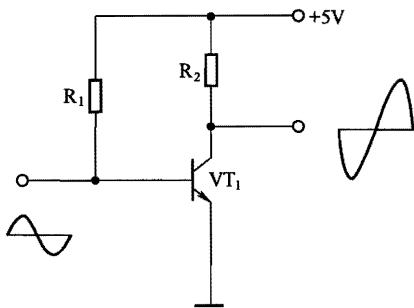


图 1-3 处于放大状态的三极管

在数字电路中, 三极管工作在截止与饱和状态, 也称为“开关”状态。图 1-4 (a) 所示为一个含三极管的数字电路, 三极管 VT_1 的基极没有提供偏置电压, 所以它不能导通, 处于截止状态; 如果给 VT_1 基极加一个图示的数字信号, 当数字信号低电平(较低的电压)到来时, VT_1 基极电压很低, 发射结无法导通, 无电流 I_b 、 I_c 流过, 三极管仍处于截止状态; 当数字信号高电平来到 VT_1 基极时, VT_1 基极电压很高, 发射结导通, 有很大的 I_b 、 I_c 流过,

三极管处于饱和状态。

数字电路中的三极管很像开关，如图 1-4（b）所示。开关的通断受输入的数字信号控制，当数字信号低电平到来时，三极管处于截止状态，相当于开关 S 断开；当数字信号高电平到来时，三极管处于饱和状态，相当于开关 S 闭合。

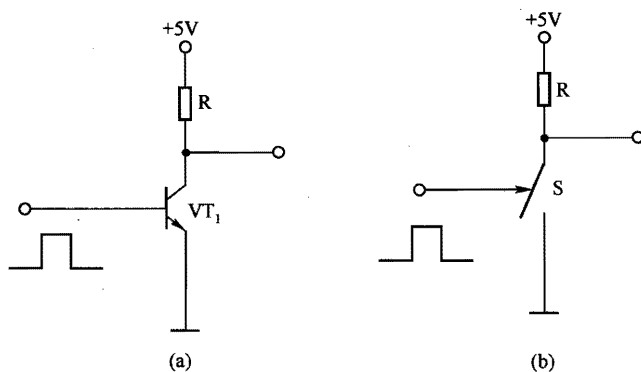
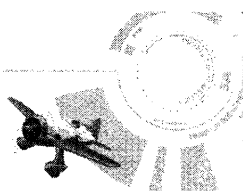


图 1-4 工作在截止与饱和状态的三极管

与模拟电路比较，数字电路有一些明显的优点。在模拟电路中，不允许电路处理信号产生大的失真，如电视机中的视频信号电压由 3V 变为 5V，屏幕上的白色图像就会变为灰色图像。而在数字电路中，即使输入信号产生失真畸变，但只要高电平没有变成低电平，或低电平没有变成高电平，数字电路处理后就能输出正常不失真的信号。正因为数字电路对信号处理不容易产生失真，所以它在电子设备中得到了广泛应用。

但是，不管数字电子技术如何发展，它都是和模拟电子技术水乳交融的，你中有我，我中有你，人们很难找到一种不含模拟电路的数字电子产品。因此在学习电子技术时，对模拟电路和数字电路要等同对待。



习题 1

一、填空题

1. 模拟信号是一种_____的电流或电压，数字信号是一种_____的电压或电流，数字信号的特点是_____和_____。
2. 在数字电路中，常将_____ V 范围的电压称为低电平，用_____表示；而将_____ V 范围的电压称为高电平，用_____表示。
3. 在数字电路中，有正逻辑与负逻辑两种体制。正逻辑体制规定：高电平为_____，低电平为_____。负逻辑体制规定：低电平为_____，高电平为_____。在两种逻辑中，_____逻辑更为常用。
4. 三极管的工作状态有 3 种：_____、_____和_____。在模拟电路中，三极管主要工作在_____状态。在数字电路中，三极管工作在_____状态，也称为_____状态。
5. 在数字电路中，即使输入信号产生了失真畸变，但只要_____没有变成_____，或相反，数字电路处理后就能输出_____的信号。

二、分析题

分析图 1-5 所示的数字信号波形，先用正逻辑形式写出该数字信号（用 1、0 表示），再用负逻辑写出该数字信号。

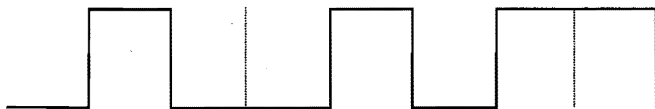


图 1-5 数字信号波形

第 2 章

门电路

本章知识结构

- 2.1 基本门电路
 - 2.1.1 与门
 - 2.1.2 或门
 - 2.1.3 非门
- 2.2 门电路实验板的电路原理与实验
 - 2.2.1 电路原理
 - 2.2.2 基本门实验
- 2.3 复合门电路
 - 2.3.1 与非门
 - 2.3.2 或非门
 - 2.3.3 与或非门
 - 2.3.4 异或门
 - 2.3.5 同或门
- 2.4 集成门电路
 - 2.4.1 TTL 集成门电路
 - 2.4.2 CMOS 集成门电路



门电路是组成各种复杂数字电路的基本单元。门电路包括基本门电路和复合门电路，复合门电路由基本门电路组合而成。

2.1 基本门电路

基本门电路是组成各种数字电路最基本的单元，基本门电路有 3 种：与门、或门和非门。

2.1.1 与门

1. 电路结构与原理

与门电路结构如图 2-1 所示，它是一个由二极管和电阻构成的电路，其中 A、B 为输入端， S_1 、 S_2 为开关，Y 为输出端，+5V 电压经 R_1 、 R_2 分压，在 E 点得到 +3V 的电压。

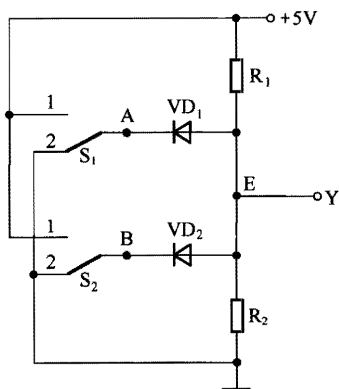


图 2-1 与门的电路结构

与门电路工作原理说明如下：

当 S_1 、 S_2 均拨至位置“2”时，A、B 端对地电压都为 0V，由于 E 点电压（注：各点电压均指该点对地电压。以下同）为 3V，所以二极管 VD_1 、 VD_2 都导通，E 点电压马上下降到 0.7V，Y 端输出电压为 0.7V。

当 S_1 拨至位置“2”、 S_2 拨至位置“1”时，A 端电压为 0V，B 端电压为 5V，由于 E 点电压为 3V，所以二极管 VD_1 马上导通，E 点电压下降到 0.7V，此时 VD_2 正端电压为 0.7V，负端电压为 5V， VD_2 处于截止状态，Y 端输出电压为 0.7V。

当 S_1 拨至位置“1”、 S_2 拨至位置“2”时，A 端电压为 5V，B 端电压为 0V， VD_2 导通，

VD₁截止，E点为0.7V，Y端输出电压为0.7V。

当S₁、S₂均拨至位置“1”时，A、B端电压都为5V，VD₁、VD₂均不能导通，E点电压为3V，Y端输出电压为3V。

为了分析方便，在数字电路中通常将0~1V范围的电压规定为低电平，用“0”表示，将3~5V范围的电压称为高电平，用“1”表示。根据该规定，可将与门电路工作原理简化如下：

当A=0、B=0时，Y=0；

当A=0、B=1时，Y=0；

当A=1、B=0时，Y=0；

当A=1、B=1时，Y=1。

由此可见，与门电路的功能是：只有输入端都为高电平时，输出端才会输出高电平；只要有一个输入端为低电平，输出端就会输出低电平。

2. 真值表

真值表是用来列举电路各种输入值和对应输出值的表格。它能让人们直观地看出电路输入与输出之间的关系。表2-1为与门电路的真值表。

表 2-1 与门电路的真值表

输 入		输 出	输 入		输 出
A	B	Y	A	B	Y
0	0	0	1	0	0
0	1	0	1	1	1

3. 逻辑表达式

真值表虽然能直观地描述电路输入和输出之间的关系，但比较麻烦且不便记忆。为此可采用关系式来表达电路输入与输出之间的逻辑关系，这种关系式称为逻辑表达式。

与门电路的逻辑表达式是

$$Y=A \cdot B$$

式中的“·”表示“与”，读作“A与B”（或“A乘B”）。

4. 与门的图形符号

图2-1所示的与门电路由多个元器件组成，这在画图和分析时很不方便，可以用一个简单的符号来表示整个与门电路，这个符号称为图形符号。与门电路的图形符号如图2-2所示，其中旧符号是指早期采用的符号，常用符号是指国外多采用的符号，新标准符号是指我国最新公布的标准符号。

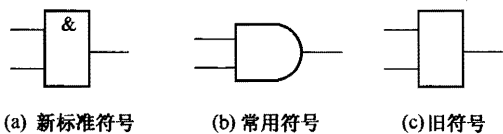
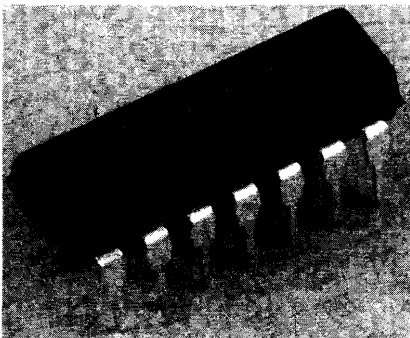


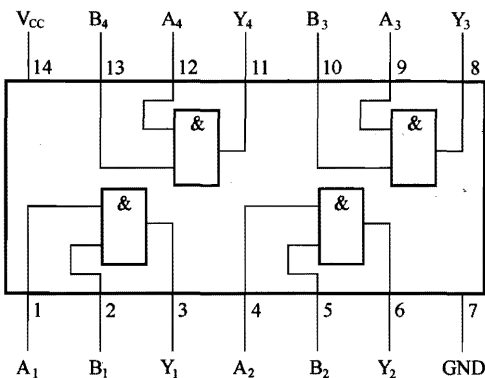
图 2-2 与门图形符号

5. 与门芯片

在数字电路系统中，已很少采用分立元件组成的与门电路，市面上有很多集成化的与门芯片（又称与门集成电路）。74LS08 是一种较常用的与门芯片，其外形和结构如图 2-3 所示，从图 2-3（b）可以看出，74LS08 内部有四个与门，每个与门有 2 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-3 与门芯片 74LS08

2.1.2 或门

1. 电路结构与原理

或门电路结构如图 2-4 所示，它由二极管和电阻构成，其中 A、B 为输入端，Y 为输

出端。

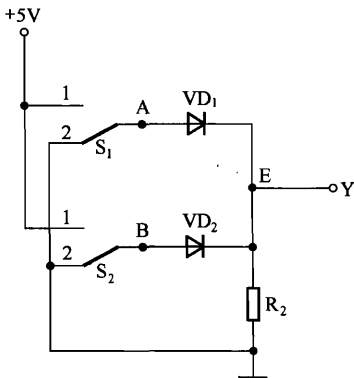


图 2-4 或门电路结构

或门电路工作原理说明如下：

当 S_1 、 S_2 均拨至位置“2”时，A、B 端电压都为 0V，二极管 VD_1 、 VD_2 都无法导通，E 点电压为 0V，Y 端输出电压为 0V。即 $A=0$ 、 $B=0$ 时， $Y=0$ 。

当 S_1 拨至位置“2”、 S_2 拨至位置“1”时，A 端电压为 0V，B 端电压为 5V，二极管 VD_2 马上导通，E 点电压为 4.3V，此时 VD_1 处于截止状态，Y 端输出电压为 4.3V。即 $A=0$ 、 $B=1$ 时， $Y=1$ 。

当 S_1 拨至位置“1”、 S_2 拨至位置“2”时，A 端电压为 5V，B 端电压为 0V， VD_1 导通， VD_2 截止，E 点为 4.3V，Y 端输出电压为 4.3V。即 $A=1$ 、 $B=0$ 时， $Y=1$ 。

当 S_1 、 S_2 均拨至位置“1”时，A、B 端电压都为 5V， VD_1 、 VD_2 均导通，E 点电压为 4.3V，Y 端输出电压为 4.3V。即 $A=1$ 、 $B=1$ 时， $Y=1$ 。

由此可见，或门电路的功能是：只要有一个输入端为高电平，输出端就为高电平；只有输入端都为低电平时，输出端才输出低电平。

2. 真值表

或门电路的真值表见表 2-2。

表 2-2 或门电路的真值表

输 入		输 出	输 入		输 出
A	B	Y	A	B	Y
0	0	0	1	0	1
0	1	1	1	1	1

3. 逻辑表达式

或门电路的逻辑表达式为



$$Y=A+B$$

式中的“+”表示“或”。

4. 或门的图形符号

或门电路的图形符号如图 2-4 所示。

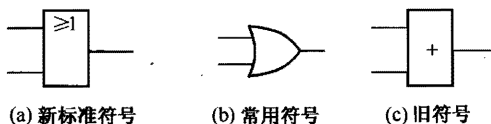


图 2-5 或门图形符号

5. 或门芯片

74LS32 是一种较常用的或门芯片，其外形和结构如图 2-6 所示，从图 2-6 (b) 可以看出，74LS32 内部有 4 个或门，每个或门有 2 个输入端、1 个输出端。

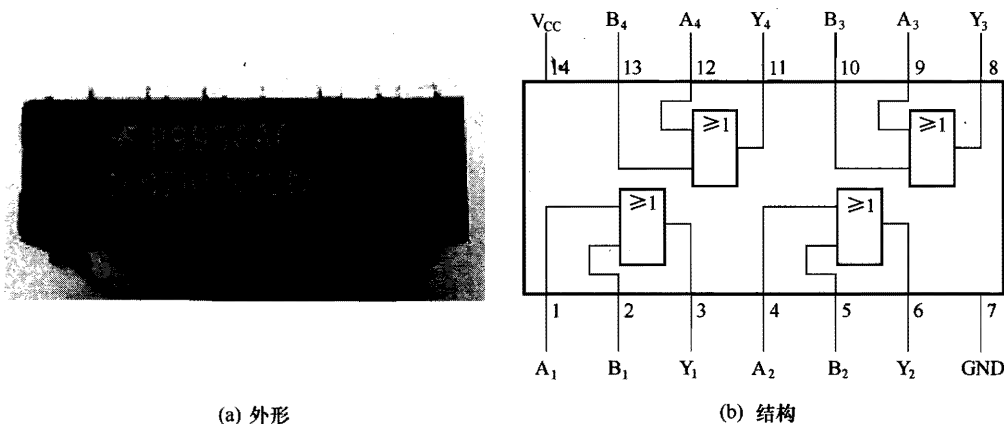


图 2-6 或门芯片 74LS32

2.1.3 非门

1. 电路结构与原理

非门电路结构如图 2-7 所示，它是由三极管和电阻构成的电路，其中 A 为输入端，Y 为输出端。

非门电路工作原理说明如下：

当 S_1 拨至位置“2”时，A 端电压为 0V 时，三极管 VT_1 截止，E 点电压为 5V，Y 端输出电压为 5V。即 $A=0$ 时， $Y=1$ 。

当 S_1 拨至位置“1”时，A 端电压为 5V 时，三极管 VT_1 饱和导通，E 点电压低于 0.7V



（约 0.1~0.3V），Y 端输出电压也低于 0.7V。即 A=1 时，Y=0。

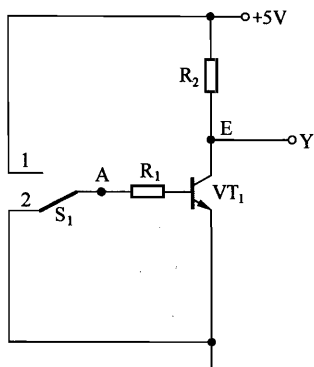


图 2-7 非门电路结构

由此可见，非门电路的功能是：输入与输出状态总是相反的。

2. 真值表

非门电路的真值表见表 2-3。

表 2-3 非门电路的真值表

输 入	输 出	输 入	输 出
A	Y	A	Y
1	0	0	1

3. 逻辑表达式

非门电路的逻辑表达式为

$$Y = \overline{A}$$

式中的“ $\overline{}$ ”表示“非”（或相反）。

4. 非门的图形符号

非门电路的图形符号如图 2-8 所示。

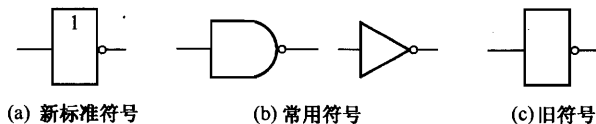


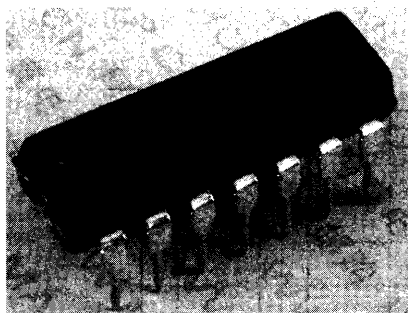
图 2-8 非门图形符号

5. 非门芯片

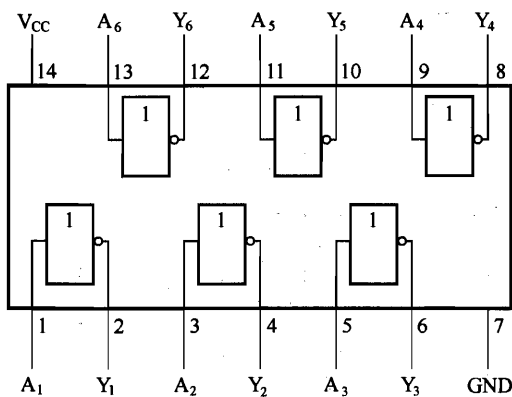
74LS04 是一种常用的非门芯片（又称反相器），其外形和结构如图 2-9 所示，从图 2-9（b）



可以看出，74LS04 内部有 6 个非门，每个非门有 1 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-9 非门芯片 74LS04

2.2 门电路实验板的电路原理与实验

门电路实验板是一块包含有与门、或门、非门和输入及输出指示电路的实验板，利用它不但可以验证与门、或门和非门的逻辑功能，还可以用实验板上的基本门芯片组合成更复杂的电路，并验证它们的功能。

2.2.1 电路原理

图 2-10 所示是门电路实验板的电路原理图。74LS08 为与门芯片，74LS32 为或门芯片、74LS04 为非门芯片；SIP1~SIP3 分别为这些门电路的输入/输出端接插件，SIP_H 为高电平接插件，用来为门电路提供高电平“1”，SIP_L 为低电平接插件，用来为门电路提供低电平“0”；VD₁~VD₃为发光二极管，它与 R₂、R₃、R₄构成三组指示电路，在实验时用来

指示门电路的输出端状态，高电平时发光二极管亮，低电平时发光二极管灭； C_1 、 C_2 为电源滤波电容，确保提供给电路的电压波动小。

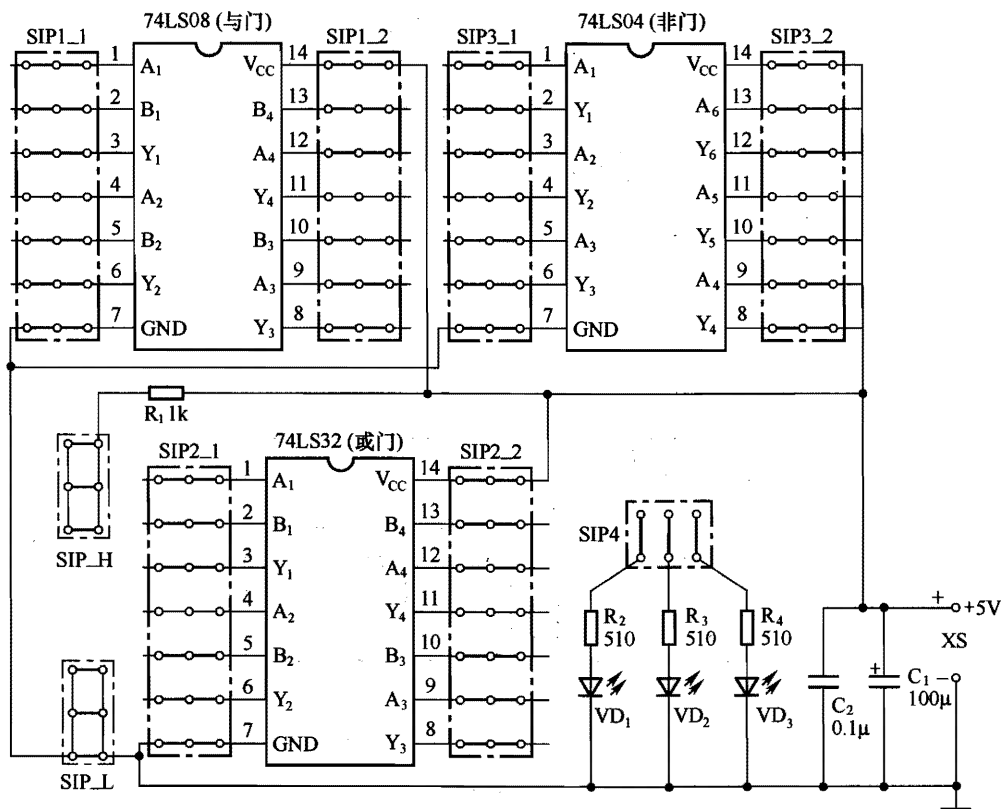


图 2-10 门电路实验板电路原理图

2.2.2 基本门实验

利用门电路实验板可以验证与门、或门和非门的输入输出关系。

1. 与门实验

实验板中的 74LS08 是一块 2 输入与门芯片，内含 4 组相同的与门，其内部结构参见图 2-3，可以使用任意一组与门做验证实验。

在实验时，先用两根导线将 74LS08 的 A_1 、 B_1 端（第一组与门输入端）分别与 SIP_H 插件连接，再用一根导线将 Y_1 端（第一组与门输出端）和插件 SIP4 的第一组指示电路（由 R_2 、 VD_1 构成）连接好，然后给实验板接通 5V 电源，发现指示灯 VD_1 _____（亮或不亮）。

上述实验表明：当与门输入端 $A_1=1$ 、 $B_1=1$ 时，输出端 $Y_1=_____$ 。用相同的方法可



以验证与门的其他 3 种输入输出关系。

2. 或门实验

实验板中的 74LS32 是一块 2 输入或门芯片，内含 4 组相同的或门，其内部结构参见图 2-6，可以使用任意一组或门做验证实验。

在实验时，先用导线将 74LS32 的 A_1 端与 SIP_H 插件连接，然后用导线将 74LS32 的 B_1 端与 SIP_L 插件连接，再用一根导线将 74LS32 的 Y_1 端与插件 SIP4 的第一组指示电路（由 R_2 、 VD_1 构成）连接好，然后给实验板接通 5V 电源，发现指示灯 VD_1 _____（亮或不亮）。

上述实验表明：当或门输入端 $A_1=1$ 、 $B_1=0$ 时，输出端 Y_1 =_____。用相同的方法可以验证或门的其他 3 种输入输出关系。

3. 非门实验

实验板中的 74LS04 是一块非门芯片，内含 6 组相同的非门，其内部结构参见图 2-9，可以使用任意一组非门做验证实验。

在实验时，用导线将 74LS04 的 A_1 端与 SIP_L 插件连接，再用一根导线将 Y_1 端与插件 SIP4 的第一组指示电路（由 R_2 、 VD_1 构成）连接好，然后给实验板接通 5V 电源，发现指示灯 VD_1 _____（亮或不亮）。

上述实验表明：当非门输入端 $A_1=0$ 时，输出端 Y_1 =_____。用相同的方法可以验证非门 $A_1=0$ 时的输出情况。

2.3 复合门电路

复合门电路又称组合门电路，由基本门电路组合而成。常见的复合门电路有：与非门、或非门、与或非门、异或门和同或门等。

2.3.1 与非门

1. 结构与原理

与非门是由与门和非门组成的，其逻辑结构及图形符号如图 2-11 所示。

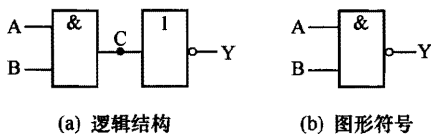


图 2-11 与非门

与非门工作原理说明如下：

当A端输入“0”、B端输入“1”时，与门的C端会输出“0”，C端的“0”送到非门的输入端，非门的Y端（输出端）会输出“1”。

A、B端其他3种输入情况的读者可以按上述方法分析，这里不叙述。

2. 逻辑表达式

与非门的逻辑表达式为

$$Y = \overline{A \cdot B}$$

3. 真值表

与非门的真值表见表 2-4。

表 2-4 与非门的真值表

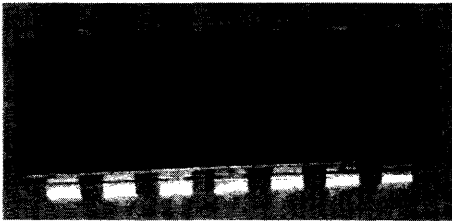
输 入			输 出	输 入			输 出
A	B	Y		A	B	Y	
0	0	1		1	0	1	
0	1	1		1	1	0	

4. 逻辑功能

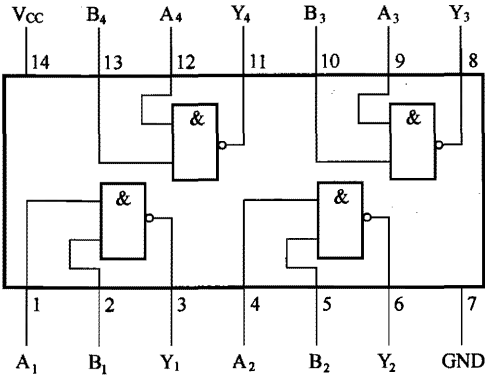
与非门的逻辑功能是：只有输入端全为“1”时，输出端才为“0”；只要有一个输入端为“0”，输出端就为“1”。

5. 常用与非门芯片

74LS00 是一种常用的与非门芯片，其外形和结构如图 2-12 所示，从图 2-12（b）可以看出，74LS00 内部有 4 个与非门，每个与非门有 2 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-12 与非门芯片 74LS00



2.3.2 或非门

1. 结构与原理

或非门是由或门和非门组合而成的，其逻辑结构和图形符号分别如图 2-13 所示。

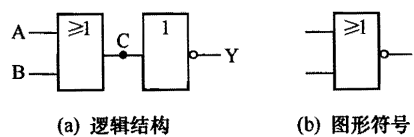


图 2-13 或非门

或非门工作原理说明如下：

当 A 端输入“0”、B 端输入“1”时，或门的 C 端会输出“1”，C 端的“1”送到非门的输入端，结果非门的 Y 端（输出端）会输出“0”。

A、B 端其他 3 种输入情况读者可以按上述方法进行分析。

2. 逻辑表达式

或非门的逻辑表达式为

$$Y=\overline{A+B}$$

根据逻辑表达式很容易求出与输入值对应的输出值，例如，当 A=0、B=1 时，Y=0。

3. 真值表

或非门的真值表见表 2-5。

表 2-5 或非门的真值表

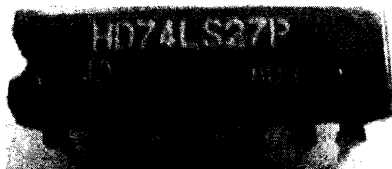
输 入			输 出	输 入			输 出
A	B		Y	A	B		Y
0	0		1	1	0		0
0	1		0	1	1		0

4. 逻辑功能

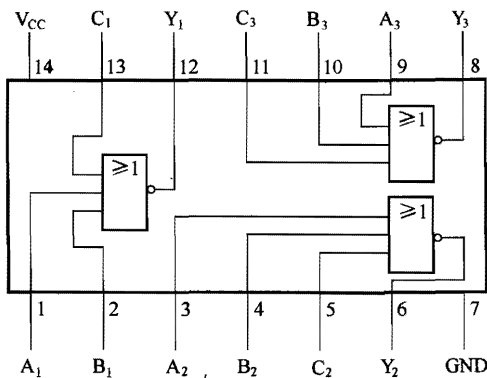
或非门的逻辑功能是：只有输入端全为“0”时，输出端才为“1”；只要输入端有一个“1”，输出端就为“0”。

5. 常用或非门芯片

74LS27 是一种常用的或非门芯片，其外形和结构如图 2-14 所示，从图 2-14（b）可以看出，74LS27 内部有 3 个或非门，每个或非门有 3 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-14 或非门芯片 74LS27

2.3.3 与或非门

1. 结构与原理

与或非门是由与门、或门和非门组成，其逻辑结构和图形符号如图 2-15 所示。

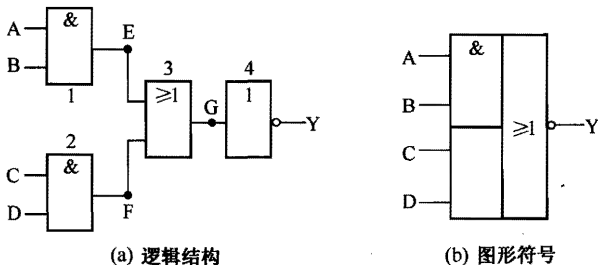


图 2-15 与或非门

与或非门工作原理说明如下：

当 $A=0, B=0, C=1, D=0$ 时，与门 1 输出端 $E=0$ ，与门 2 的输出端 $F=0$ ，或门 3 输出端 $G=0$ ，非门输出端 $Y=1$ 。

当 $A=0, B=0, C=1, D=1$ 时，与门 1 输出端 $E=0$ ，与门 2 的输出端 $F=1$ ，或门 3 输出



端 G=1，非门输出端 Y=0。

A、B、C、D 端其他输入情况读者可以按上述方法分析。

2. 逻辑表达式

与或非门的逻辑表达式为

$$Y = \overline{A \cdot B + C \cdot D}$$

3. 真值表

与或非门的真值表见表 2-6。

表 2-6 与或非门的真值表

输 入				输 出
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4. 逻辑功能

与或非门的逻辑功能是：只要 A、B 端或 C、D 端中有一组全为“1”，输出端就为“0”，否则输出端为“1”。

5. 常用与或非门芯片

74LS54 是一种常用的与或非门芯片，其外形和结构如图 2-16 所示，从图 2-16 (b) 可以看出，74LS54 内部有 1 个与或非门，它由 4 个 3 输入与门和 1 个 4 输入或非门组成。

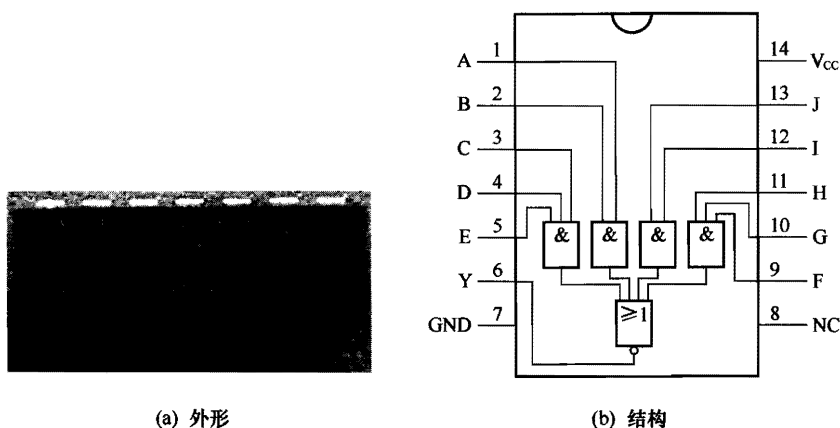


图 2-16 与或非门芯片 74LS54

2.3.4 异或门

1. 结构与原理

异或门是由两个与门、两个非门和一个或门组成的，其逻辑结构和图形符号如图 2-17 所示。

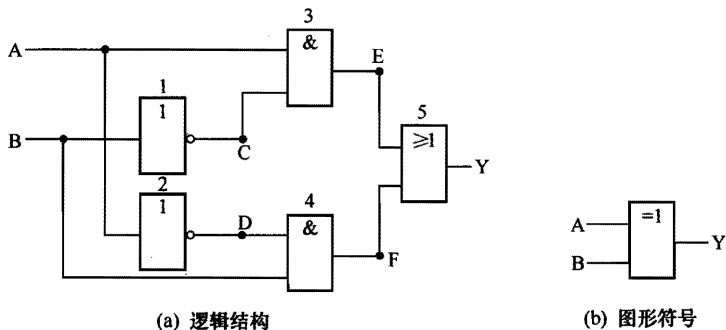


图 2-17 异或门

异或门工作原理说明如下：

当 $A=0$, $B=0$ 时，非门 1 输出端 $C=1$ ，非门 2 的输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与



门 4 输出端 $F=0$ ，或门 5 输出端 $Y=0$ 。

当 $A=0$ ， $B=1$ 时，非门 1 输出端 $C=0$ ，非门 2 的输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与门 4 输出端 $F=1$ ，或门 5 输出端 $Y=1$ 。

A、B 端其他输入情况读者可以按上述方法分析。

2. 逻辑表达式

异或门的逻辑表达式为

$$Y = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B$$

3. 真值表

异或门的真值表见表 2-7。

表 2-7 异或门的真值表

输 入			输 出	输 入			输 出
A	B	Y		A	B	Y	
0	0	0		1	0	1	
0	1	1		1	1	0	

4. 逻辑功能

异或门的逻辑功能是：当两个输入端一个为“0”、另一个为“1”时，输出端为“1”；当两个输入端同时为“1”或同时为“0”时，输出端为“0”。该特点简述为：异出“1”，同出“0”。

5. 常用异或门芯片

74LS86 是一个 4 组 2 输入异或门芯片，其外形和结构如图 2-18 所示，从图 2-18 (b) 可以看出，74LS86 内部有 4 组异或门，每组异或门有 2 个输入端和 1 个输出端。

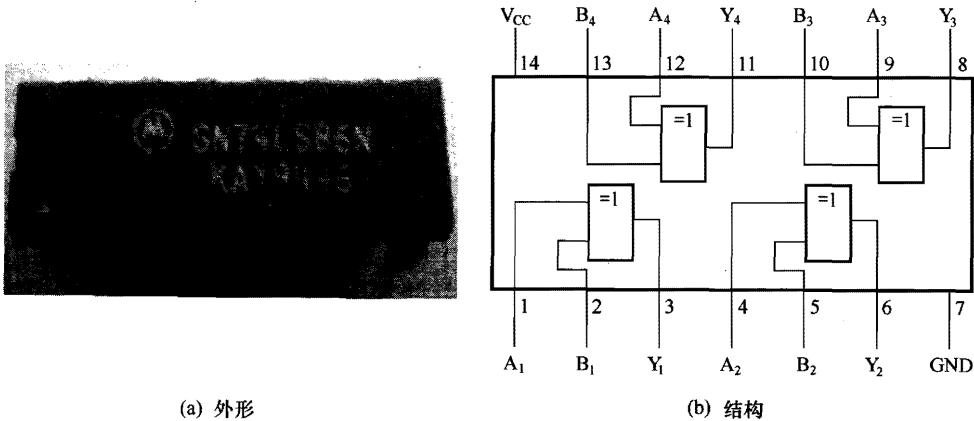


图 2-18 异或门芯片 74LS86

2.3.5 同或门

1. 结构与原理

同或门又称异或非门，它是在异或门的输出端加上一个非门构成的。同或门的逻辑结构和图形符号如图 2-19 所示。

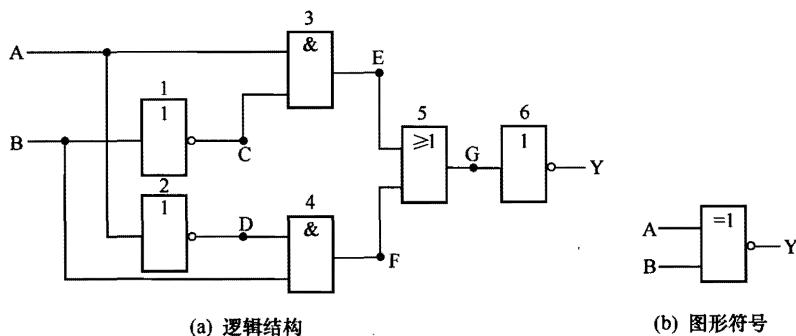


图 2-19 同或门

同或门工作原理说明如下：

当 $A=0, B=0$ 时，非门 1 输出端 $C=1$ ，非门 2 输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与门 4 输出端 $F=0$ ，或门 5 输出端 $G=0$ ，非门 6 的输出端 $Y=1$ 。

当 $A=0, B=1$ 时，非门 1 输出端 $C=0$ ，非门 2 的输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与门 4 输出端 $F=1$ ，或门 5 输出端 $G=1$ ，非门 6 的输出端 $Y=0$ 。

A、B 端其他输入情况读者可以按上述方法分析。

2. 逻辑表达式

同或门的逻辑表达式为

$$Y = A \cdot B + \overline{A} \cdot \overline{B} = A \odot B$$

3. 真值表

同或门的真值表见表 2-8。

表 2-8 同或门的真值表

输 入		输 出	输 入		输 出
A	B	Y	A	B	Y
0	0	1	1	0	0
0	1	0	1	1	1



4. 逻辑功能

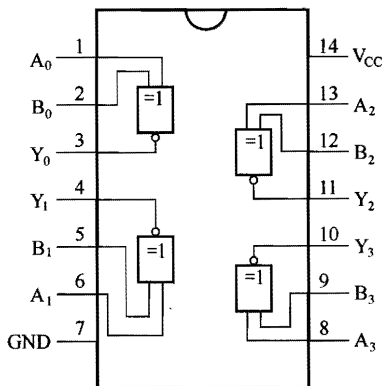
同或门的逻辑功能是：当两个输入端一个为“0”、另一个为“1”时，输出端为“0”；当两个输入端都为“1”或都为“0”时，输出端为“1”。该特点简述为：异出“0”，同出“1”。

5. 常用同或门芯片

74LS266 是一个 4 组 2 输入同或门芯片，其外形和结构如图 2-20 所示，从图 2-20 (b) 可以看出，74LS266 内部有 4 组同或门，每组同或门有 2 个输入端和 1 个输出端。



(a) 外形



(b) 结构

图 2-20 同或门芯片 74LS266

2.4 集成门电路

分立件构成的门电路已非常少见，现在的门电路大多数已集成化。集成化的门电路称为集成门电路，集成门电路内部电路的结构与分立件门电路有所不同，但它们的输入输出逻辑关系是相同的。根据芯片内部采用的主要元件不同，集成门电路主要分为 TTL 集成门电路和 CMOS 集成门电路。不论是 TTL 集成门电路还是 CMOS 集成门电路，它们的逻辑关系是相同的。

TTL 集成门电路简称 **TTL 门电路**，其芯片内部主要采用双极型晶体管（即三极管）来构成门电路，74LS 系列和 74 系列芯片属于 TTL 门电路。TTL 门电路是电流控制型器件，其功耗较大，但工作速度快、传输延迟时间短（5~10ns）。

CMOS 集成门电路简称 **CMOS 门电路**，其芯片内部主要采用 MOS 场效应管来构成门电路，74HC、74HCT 和 4000 系列芯片属于 CMOS 门电路。CMOS 门电路是电压控制型器件，其工作速度较 TTL 电路慢，但功耗小、抗干扰性强、驱动负载能力强。



2.4.1 TTL 集成门电路

1. 多发射极晶体管

在 TTL 集成门电路中常用到多发射极晶体管，它具有两个以上的发射极，图 2-21 所示是一只具有 3 个发射极的晶体管的图形符号和等效图，该晶体管内部有 3 个发射结和 1 个集电结。

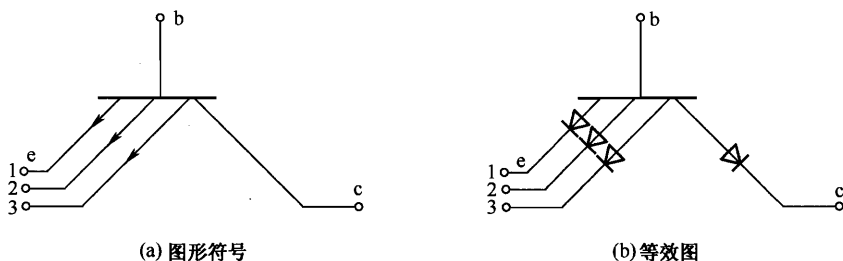


图 2-21 多发射极晶体管

下面以图 2-22 所示电路来说明多发射极晶体管的工作原理，其中图 2-22 (b) 电路为图 2-22 (a) 电路的等效图。

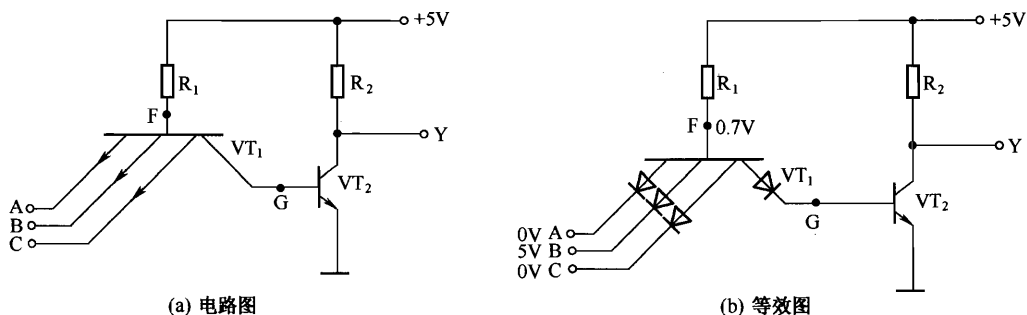


图 2-22 多发射极晶体管工作原理说明图

当多发射极晶体管 VT_1 的发射极 A、B、C 分别输入 0V、5V、0V 电压时，F、A 和 F、C 之间的两个发射结导通，F 点电压下降为 0.7V，F、B 之间的发射结反偏截止（B 端电压为 5V）。因为 F 点电压为 0.7V，该电压不能使 VT_1 的集电结和 VT_2 的发射结同时导通（两者同时导通需要 1.4V 电压），所以 VT_2 处于截止状态， VT_2 集电极电压为 5V。

当 VT_1 的发射极 A、B、C 同时输入 5V 电压时，F、A，F、B 和 F、C 之间的 3 个发射结都不能导通，F 点电压为 5V，该电压使 VT_1 的集电结和 VT_2 的发射结同时导通（这时 F 点电压会从 5V 降至 1.4V）， VT_2 饱和导通， VT_2 集电极电压为 0.3V。



2. TTL 与非门电路

TTL 集成门电路与分立件门电路一样，有与门、或门、非门、与非门、或非门、异或门和同或门等多种类型。这些门电路的分析方法基本相同，下面以 TTL 与非门电路为例来说明 TTL 集成门电路的工作原理。TTL 与非门电路如图 2-23 所示。

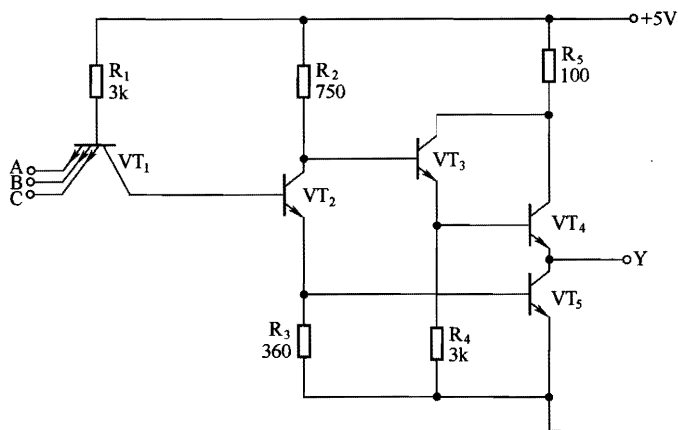


图 2-23 TTL 与非门电路

当 A、B、C 3 个输入端都加 5V 电压时，即 $A=1$ 、 $B=1$ 、 $C=1$ 时，多发射极晶体管 VT_1 3 个发射结都处于截止状态， VT_1 的基极电压很高， VT_1 集电结导通，基极电压经集电结加到 VT_2 的基极， VT_2 饱和导通， VT_2 的集电极电压下降，发射极电压上升。因为 VT_2 的集电极电压下降至很低， VT_3 基极电压也很低， VT_3 不能导通，处于截止状态，发射极无电压， VT_4 基极无电压， VT_4 截止。因 VT_2 发射极电压上升，该电压加到 VT_5 的基极， VT_5 饱和导通，集电极电压很低（0.1~0.3V），为低电平。即当 $A=1$ 、 $B=1$ 、 $C=1$ 时，电路输出端 $Y=0$ 。

当 A、B、C 3 个输入端分别加 0V、5V、5V 电压时，即 $A=0$ 、 $B=1$ 、 $C=1$ 时， VT_1 与 A 端相接的发射结导通， VT_1 基极电压降为 0.7V，所以 VT_1 另外两个发射结都处于截止状态。 VT_1 的基极电压为 0.7V，它不足以使 VT_1 集电结和 VT_2 的发射结同时导通， VT_2 无法导通，它的发射极电压很低（为 0V），而集电极电压很高。 VT_2 很低的发射极电压送到 VT_5 的基极， VT_5 无法导通而处于截止状态。 VT_2 很高的集电极电压送到 VT_3 的基极， VT_3 导通， VT_3 发射极电压很高，该电压送到 VT_4 的基极， VT_4 饱和导通，+5V 电源经 R_5 、 VT_4 送到输出端，在输出端得到一个较高的电压。即当 $A=0$ 、 $B=1$ 、 $C=1$ 时，电路输出端 $Y=1$ 。

A、B、C 的其他几种输入情况读者可自行分析。从上面的分析可知，该电路的输入与输出之间有“与非”的关系。

3. TTL 集电极开路门（OC 门）

（1）结构与原理

TTL 集电极开路门又称 OC 门，图 2-24（a）所示是一个典型 OC 门的电路结构，从图中可以看出，OC 门输出端内部的三极管集电极是悬空的，没有接负载。图 2-25 中的 OC 门输入与输出有与非关系。

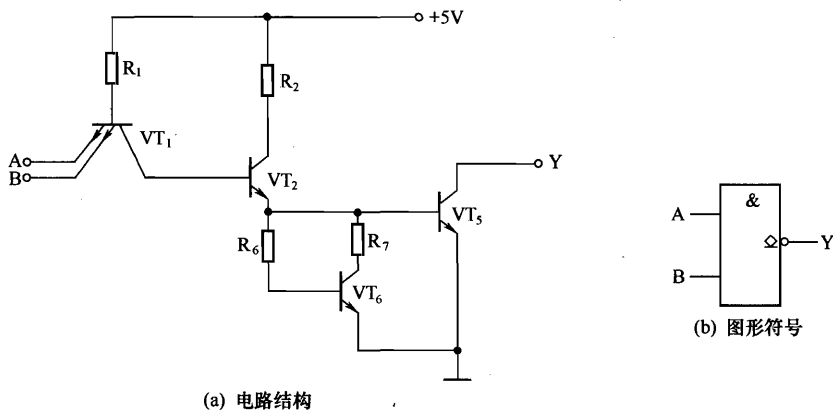


图 2-24 OC 门

（2）常用 OC 门芯片

74LS01 是一种常用的 OC 门芯片，其外形和结构如图 2-25 所示，从图 2-25（b）可以看出，74LS01 内部有 4 个 OC 与非门，每个与非门有 2 个输入端、1 个输出端。

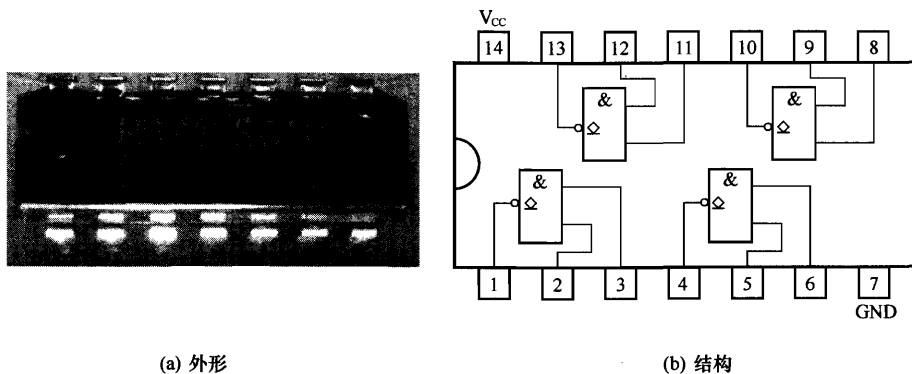


图 2-25 OC 门芯片 74LS01

（3）外接负载形式

OC 门输出端内部的三极管集电极没有接负载，在实际使用时，OC 门可根据需要在输出端外接各种负载。图 2-26 所示为 OC 门 3 种常见外接负载方式。

在图 2-26（a）所示电路中，输出端外接电阻 R ，该电阻常称为上拉电阻；在图 2-26（b）

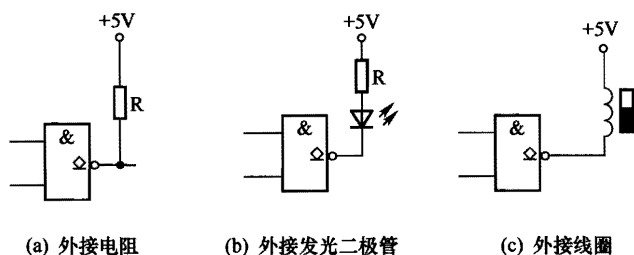


图 2-26 OC 门 3 种外接负载方式

所示电路中,输出端外接发光二极管,当 OC 门输出端的内部晶体管导通(相当于输出低电平)时,发光二极管有电流流过而发光;在图 2-26 (c)所示电路中,输出端外接继电器线圈,当 OC 门输出端的内部晶体管导通时,有电流流过线圈,线圈产生磁场吸合开关(开关未画出)。

(4) 线与电路

几个 OC 门并联时还可以构成“线与”电路。OC 门构成的“线与”电路如图 2-27 所示,该电路是将几个 OC 门的输出端连接起来,再接一个公共的负载 R 。下面来分析该电路是否有“与”的关系。

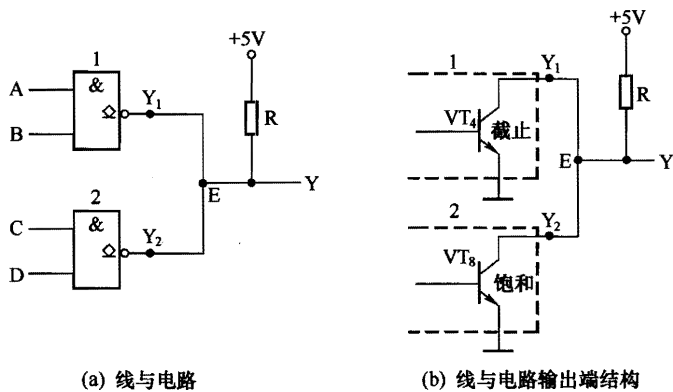


图 2-27 OC 门线与电路

如果 Y_1 输出为“1”、 Y_2 输出为“0”,则 OC 门 1 内部输出端的晶体管 VT_4 处于截止状态,如图 2-27 (b) 所示,OC 门 2 内部输出端的晶体管 VT_8 处于饱和状态,E 点电压很低,故输出端 $Y=0$ 。

如果 Y_1 输出为“1”、 Y_2 输出为“1”,则 OC 门 1 和 OC 门 2 内部输出端的晶体管都处于截止状态,E 点电压很高,故输出端 $Y=1$ 。

其他几种情况读者可自行分析。

由上述分析可知,当将几个 OC 门的输出端连接起来,再接一个公共负载时,输出端

确实有“与”的关系，这个“与”关系不是靠与门来实现的，而是由导线连接来实现的，故称为“线与”。

4. 三态输出门（TS 门）

三态输出门简称为三态门，或称 TS 门，这种门电路输出不仅会出现高电平和低电平，还可以出现第 3 种状态——高阻态（又称禁止态或悬浮态）。

（1）结构与原理

图 2-28（a）所示是一个典型三态门的电路结构，从图中可以看出，它是在 TTL 与非门电路上进行了改进，它的一个输入端在内部通过二极管 VD 与晶体管 VT₂ 集电极相连，该端不再当作输入端，而称为控制端（又称使能端），常用“EN”表示。

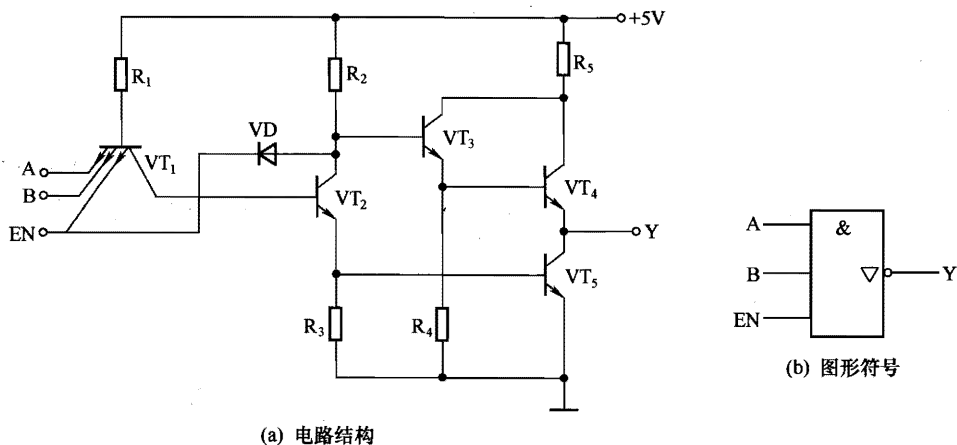


图 2-28 三态门

三态门工作原理说明如下：

当 $EN=0$ （0V）时，VT₁ 与 EN 端相连的发射结和二极管 VD 都处于导通状态。VT₁ 一个发射结导通，其基极电压为 0.7V，该电压无法使 VT₁ 的集电结和 VT₂ 的发射结导通，VT₂ 处于截止状态，VT₂ 的发射电压为 0V，VT₅ 基极无电压而处于截止状态。二极管 VD 处于导通状态，VT₂ 的集电极电压下降，为 0.7V，该电压无法使 VT₃、VT₄ 的两个发射结同时导通，所以 VT₃、VT₄ 同时处于截止状态。因为 VT₄ 和 VT₅ 同时处于截止状态，Y 输出端既不与地接通，又不与电源相通，这种状态称为高阻状态（又称悬浮状态或禁止状态）。

在 $EN=0$ （0V）情况下，无论 A、B 端输入“1”还是“0”，VT₁ 与 EN 相连的发射结和二极管 VD 都处于导通状态，VT₁ 基极和 VT₂ 的集电极电压都为 0.7V，最终 VT₄、VT₅ 都处于截止状态。

当 $EN=1$ （5V）时，与 EN 端相连的 VT₁ 的发射结和二极管 VD 都处于截止状态，相当于与 EN 相连的 VT₁ 发射结和二极管 VD 处于开路，可认为两者不存在，这样该电路可



看成是只有两个输入端的普通与非门电路，输入端 A、B 与输出端 Y 有与非关系。

(2) 真值表

图 2-28 所示三态门的真值表见表 2-9。

表 2-9 三态门的真值表

输 入			输 出	输 入			输 出
EN	A	B	Y	EN	A	B	Y
0	0	0	高阻	1	0	0	1
0	0	1	高阻	1	0	1	1
0	1	0	高阻	1	1	0	1
0	1	1	高阻	1	1	1	0

(3) 逻辑功能

图 2-28 所示三态门的逻辑功能是：当控制端 EN=0 时，电路处于高阻状态，无论输入端输入什么，输出端都无输出；当控制端 EN=1 时，电路正常工作，相当于与非门电路，输出与输入有与非关系。

(4) 常用三态门芯片

74LS126 是一种常用的高电平有效型三态门芯片，其外形和结构如图 2-29 所示，从图 (b) 可以看出，74LS126 内部有 4 个三态门，每个三态门有 1 个输入端 A、1 个输出端 Y 和 1 个控制端 C，当 C=1 时，Y=A，当 C=0 时，高阻态。

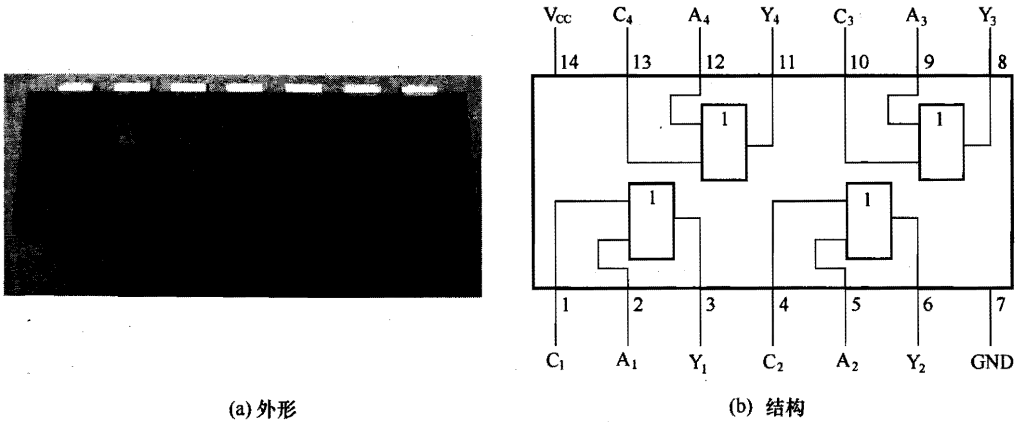


图 2-29 三态门芯片 74LS126

(5) 应用

三态门广泛用在数字电子产品中，特别是计算机中，它主要用于总线传递，可以进行

单向数据传递，也可以进行双向数据传送。

① 三态门构成单向总线传递电路。三态门构成单向总线传递电路如图 2-30 (a) 所示，它由 3 个三态门构成。

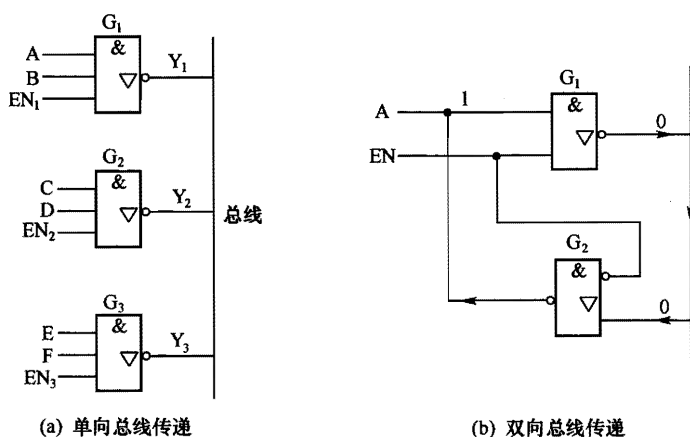


图 2-30 三态门构成的数据传递电路

在任何时刻，3 个三态门中只允许其中一个三态门的控制端为“1”，让该三态门处于工作状态，而其他的三态门控制端一定要为“0”，让它们处于高阻状态，这样控制端为“1”的三态门电路才能正常工作。如果有两个或两个以上三态门的控制端同时为“1”，则这些三态门会同时工作，同时有数据送向总线，那么总线传递信息就会出错，这是不允许的。

数据单向传递过程：假设 3 个三态门的输入端分别是 $A=0$ 、 $B=0$ 、 $C=1$ 、 $D=1$ 、 $E=0$ 、 $F=1$ ，各个三态门 EN 端均为 0。首先让 $EN_1=1$ ，三态门 G_1 工作，输出端 $Y_1=1$ （因输入端 $A=0$ 、 $B=0$ ），“1”送往总线去其他的电路；然后让 $EN_2=1$ （此时 EN_1 变为 0），三态门 G_2 工作，输出端 $Y_2=0$ ，“0”送往总线去其他的电路；再让 $EN_3=1$ ，三态门 G_3 工作，输出端 $Y_3=1$ ，“1”送往总线去其他的电路。

由此可见，当让几个三态门的控制端依次为“1”时，这几个三态门输出的数据就会依次送往总线。

② 三态门构成双向总线传递电路。三态门构成双向总线传递电路如图 2-30 (b) 所示，它由两个三态门构成。这两个三态门控制端的控制方式不同，三态门 G_1 的控制端为“1”时处于工作状态，而三态门 G_2 的控制端为“0”时才处于工作状态（三态门 G_2 的 EN 端的小圆圈表示当该端电平为“0”时工作，为“1”时处于高阻状态）。

数据双向传递过程：假设三态门 G_1 输入端 $A=1$ ，当控制端 EN 为“1”时，三态门 G_1 处于工作状态，三态门 G_2 处于高阻状态，于是三态门 G_1 输出数据“0”，并送到总线；当控制端 EN 为“0”时，三态门 G_1 处于高阻状态，三态门 G_2 处于工作状态，总线上的数据



“0”送到三态门 G_2 的输入端，三态门 G_2 输出数据“1”，并送到 G_1 的输入端。

由此可见，通过改变三态门的控制端电平，就能改变数据传递方向，实现数据的双向传递。

5. TTL 器件使用注意事项

TTL 器件在使用时要注意以下事项：

① 电源电压。电源电压 V_{CC} 允许范围为 $+5(1 \pm 10\%)$ ，超过该范围可能会损坏 TTL 器件，或使器件逻辑功能混乱。

② 电源滤波。为了减小 TTL 器件工作时引起电源电压波动，使 TTL 器件工作稳定，可在电源两端并联 1 个 $100\mu\text{F}$ 的滤波电容（低频滤波）和 1 个 $0.01 \sim 0.1\mu\text{F}$ 的滤波电容（高频滤波）。

③ 输入端的连接。输入端高电平有两种获得方式：一是输入端通过串接 1 个 $1 \sim 10\text{k}\Omega$ 的电阻与电源连接；二是输入端直接与电源连接。输入端直接接地获得低电平。

或门、或非门等输入端为“或”逻辑的 TTL 器件多余的输入端不能悬空，要接地。与门、与非门等输入端为“与”逻辑的 TTL 器件多余的输入端可以悬空（相当于接高电平），但这样易受外界干扰，为了提高器件的可靠性，通常将多余的输入端直接接电源或与其他输入端并联，如果与其他输入端并联，输入端从输入信号处获得的电流将会增加。

④ 输出端的连接。输出端禁止直接接电源或接地，对于容性负载（ 100pF 以上），应串接几百欧的限流电阻，否则器件易损坏。除 OC 门和三态门外，其他门电路的输出端禁止并联使用，否则会损坏器件或引起逻辑功能混乱。

2.4.2 CMOS 集成门电路

CMOS 集成门电路简称 CMOS 门电路，它由 PMOS 场效应管和 NMOS 场效应管以互补对称的形式组成。

1. MOS 场效应管

(1) 图形符号

MOS 场效应管是一种电压控制型器件，简称为 MOS 管，它是由金属（M）、氧化物（O）和半导体（S）构成的。MOS 管像三极管一样，既可用作放大，也可当作电子开关使用。MOS 管可分为耗尽型 MOS 管和增强型 MOS 管，每种类型又分为 P 沟道和 N 沟道，MOS 管的图形符号如图 2-31 所示，其中采用增强型 MOS 管构成的门电路更为常见。

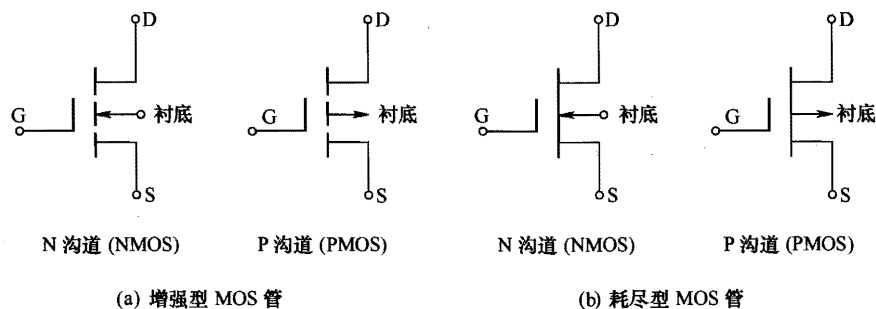


图 2-31 MOS 管的图形符号

(2) 增强型 MOS 管的结构

增强型 MOS 管有 P 沟道和 N 沟道两种，其结构原理基本相似，下面以 N 沟道增强型 MOS 管（简称增强型 NMOS 管）为例进行说明。增强型 NMOS 管的结构如图 2-32 所示。

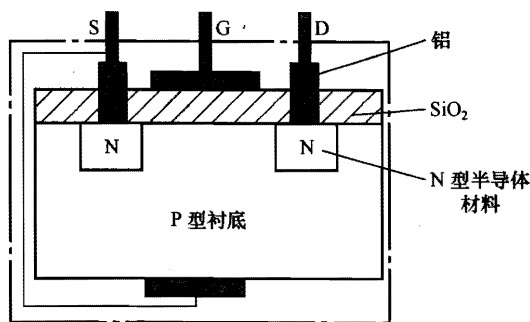


图 2-32 增强型 NMOS 管的结构

增强型 NMOS 管是以 P 型硅片作为基片（又称衬底），在基片上制作两个含很多杂质的 N 型材料，再在上面制作一层很薄的二氧化硅（ SiO_2 ）绝缘层，在两个 N 型材料上引出两个铝电极，分别称为漏极（D）和源极（S），在两极中间的二氧化硅绝缘层上制作一层铝制导电层，从该导电层上引出电极称为 G 极。一般情况下，P 型衬底常与 S 极内部连接在一起。

(3) 增强型 MOS 管的工作原理

增强型 NMOS 管需要加合适的电压才能工作。下面以图 2-33 来说明增强型 NMOS 管工作原理，其中图 2-33（a）为结构图形式，图 2-33（b）为电路图形式。

电源 E_1 通过 R_1 加到场效应管 D、S 极，电源 E_2 通过开关 S 加到场效应管的 G、S 极。在开关 S 断开时，场效应管的 G 极无电压，D、S 极所接的两个 N 区之间没有导电沟道，

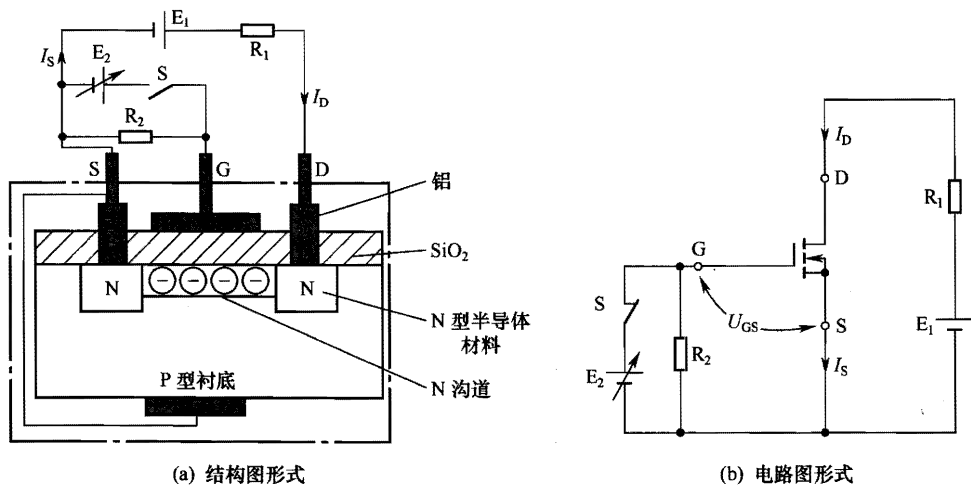


图 2-33 增强型 NMOS 管工作原理说明图

所以两个 N 区之间不能导通， I_D 电流为 0；如果将开关 S 闭合，场效应管的 G 极获得正电压，与 G 极连接的铝电极有正电荷，它产生的电场穿过 SiO_2 层，将 P 衬底很多电子吸引靠近 SiO_2 层，从而在两个 N 区之间出现导电沟道，由于此时 D、S 极之间加上正向电压，就有 I_D 电流从 D 极流入，再经导电沟道从 S 极流出。

如果改变 E_2 电压的大小，也即是改变 G、S 极之间的电压 U_{GS} ，与 G 极相连的铝层产生的电场大小就会变化， SiO_2 下面的电子数量就会变化，两个 N 区之间沟道宽度就会变化，流过的 I_D 电流大小就会变化。 U_{GS} 电压越高，沟道就会越宽， I_D 电流就会越大。

增强型 MOS 管具有特点是：在 G、S 极之间未加电压（即 $U_{GS}=0$ ）时，D、S 极之间没有沟道， $I_D=0$ ；当 G、S 极之间加上合适电压（大于开启电压 U_T ）时，D、S 极之间有沟道形成， U_{GS} 电压变化时，沟道宽窄会发生变化， I_D 电流也会变化。

对于增强型 NMOS 管，G、S 极之间的电压 $U_{GS}>0$ （即 $U_G>U_S$ ）且 $U_{GS}>U_T$ 时，D、S 极之间才会形成沟道而导通。为分析方便，可认为当 NMOS 管 G 极为高电平时导通，为低电平时截止。

对于增强型 PMOS 管，G、S 极之间的电压 $U_{GS}<0$ 且 $U_{GS}<U_T$ 时，D、S 极之间才有沟道形成。为分析方便，可认为当 PMOS 管 G 极为低电平时导通，为高电平时截止。

2. CMOS 非门

(1) 结构与原理

CMOS 非门的电路结构如图 2-34 所示， VT_1 为 PMOS 管， VT_2 为 NMOS 管，电路输入端 A 与两管的 G 极连接，电路输出端 Y 与两管的 D 极连接，PMOS 管的 S 极接电源 V_{DD} ，NMOS 管的 S 极接地。

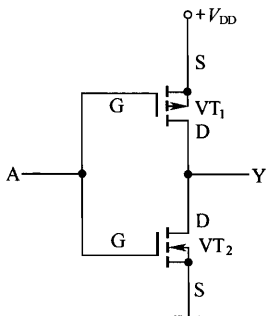


图 2-34 CMOS 非门的电路结构

CMOS 非门电路的工作原理说明如下：

当 A 端为高电平时， VT_1 （PMOS 管）截止， VT_2 （NMOS）管导通，Y 端为低电平。
即 $A=1$ 时， $Y=0$ 。

当 A 端为低电平时， VT_2 （NMOS 管）截止， VT_1 （PMOS 管）导通，Y 端为高电平。
即 $A=0$ 时， $Y=1$ 。

从上面分析不难看出，CMOS 非门的输出端与输入端之间满足

$$Y = \bar{A}$$

对于 CMOS 非门电路，不管输入端为高电平还是低电平， VT_1 、 VT_2 始终有一个处于截止状态，电源与地之间基本无电流通过，因此 CMOS 非门电路功耗极低（微瓦以下）。

（2）常用 CMOS 非门芯片

CC4069 是一种常用的 CMOS 非门芯片，其结构如图 2-35 所示，从图中可以看出，CC4069 内部有 6 个非门，每个非门有 1 个输入端和 1 个输出端。

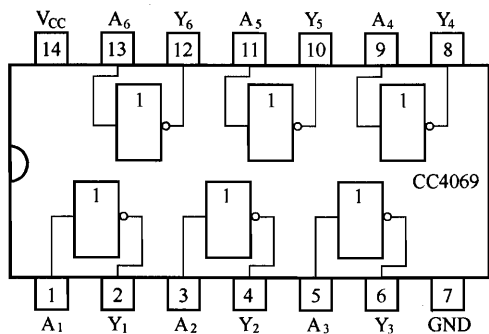


图 2-35 CMOS 非门芯片 CC4069

3. CMOS 与非门

（1）结构与原理

CMOS 与非门的电路结构如图 2-36 所示， VT_1 、 VT_2 为 PMOS 管， VT_3 、 VT_4 为 NMOS 管。

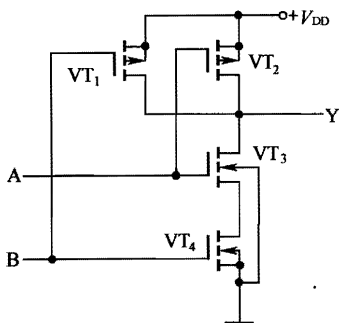


图 2-36 CMOS 与非门的电路结构

CMOS 与非门电路的工作原理说明如下：

当 A、B 端均为高电平时， VT_1 、 VT_2 截止， VT_3 、 VT_4 导通，Y 端为低电平。即 $A=1$ 、 $B=1$ 时， $Y=0$ 。

当 A、B 端均为低电平时， VT_1 、 VT_2 导通， VT_3 、 VT_4 截止，Y 端为高电平。即 $A=0$ 、 $B=0$ 时， $Y=1$ 。

当 A 端为低电平、B 端为高电平时，A 端低电平使 VT_2 导通、 VT_3 截止，B 端高电平使 VT_1 截止、 VT_4 导通，由于 VT_2 导通、 VT_3 截止，Y 端输出高电平。即 $A=0$ 、 $B=1$ 时， $Y=1$ 。

当 A 端为高电平、B 端为低电平时，A 端高电平使 VT_3 导通、 VT_2 截止，B 端低电平使 VT_4 截止、 VT_1 导通，由于 VT_1 导通、 VT_4 截止，Y 端输出高电平。即 $A=1$ 、 $B=0$ 时， $Y=1$ 。

从上面分析不难看出，CMOS 与非门的输出端与输入端之间满足

$$Y = \overline{AB}$$

(2) 常用 CMOS 与非门芯片

CC4011 是一种常用的 CMOS 与非门芯片，其结构如图 2-37 所示，从图中可以看出，CC4011 内部有 4 个与非门，每个与非门有 2 个输入端和 1 个输出端。

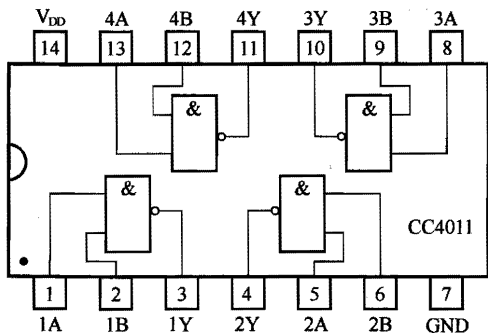


图 2-37 CMOS 与非门芯片 CC4011

4. CMOS 或非门

（1）结构与原理

CMOS 或非门的电路结构如图 2-38 所示， VT_1 、 VT_2 为 PMOS 管， VT_3 、 VT_4 为 NMOS 管。

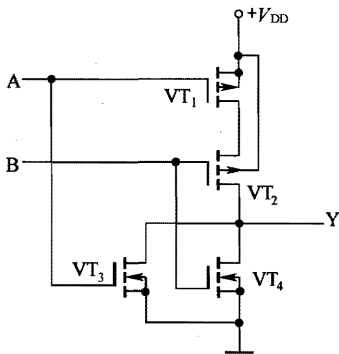


图 2-38 CMOS 或非门的电路结构

CMOS 或非门电路工作原理说明如下：

当 A、B 端均为高电平时， VT_1 、 VT_2 截止， VT_3 、 VT_4 导通，Y 端为低电平。即 $A=1$ 、 $B=1$ 时， $Y=0$ 。

当 A、B 端均为低电平时， VT_1 、 VT_2 导通， VT_3 、 VT_4 截止，Y 端为高电平。即 $A=0$ 、 $B=0$ 时， $Y=1$ 。

当 A 端为低电平、B 端为高电平时，A 端低电平使 VT_1 导通、 VT_3 截止，B 端高电平使 VT_2 截止、 VT_4 导通，由于 VT_2 截止、 VT_4 导通，Y 端输出低电平。即 $A=0$ 、 $B=1$ 时， $Y=0$ 。

当 A 端为高电平、B 端为低电平时，A 端高电平使 VT_3 导通、 VT_1 截止，B 端低电平使 VT_4 截止、 VT_2 导通，由于 VT_3 导通、 VT_1 截止，Y 端输出低电平。即 $A=1$ 、 $B=0$ 时， $Y=0$ 。

从上面分析不难看出，CMOS 或非门的输出端与输入端之间满足

$$Y = \overline{A + B}$$

（2）常用 CMOS 或非门芯片

CC4001 是一种常用的 CMOS 或非门芯片，其结构如图 2-39 所示，从图中可以看出，CC4001 内部有 4 个或非门，每个或非门有 2 个输入端和 1 个输出端。

5. CMOS 传输门

（1）结构与原理

CMOS 传输门是一种由控制信号来控制电路通断的门电路。CMOS 传输门的电路结构

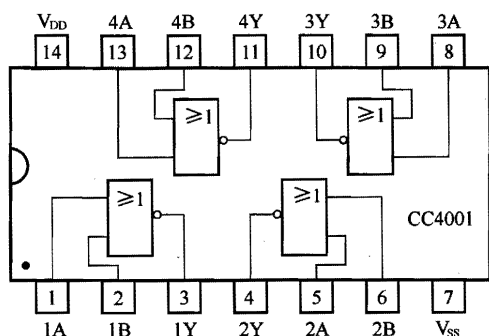


图 2-39 CMOS 或非门芯片 CC4001

和图形符号如图 2-40 所示, VT_1 为 PMOS 管, VT_2 为 NMOS 管, 两端并联连接在一起, 在两个 MOS 管衬底未与源极连接时, 漏极 D 与源极 S 具有互换性, 如果 E 端作为输入端, 分析时将 VT_1 、 VT_2 与 E 端相连的极作为 S 极, 与 F 端相连的极作为 D 极。C、 \bar{C} 为一对互补控制端, 两者控制电平始终相反, 当 C 端为高电平时, \bar{C} 为低电平。

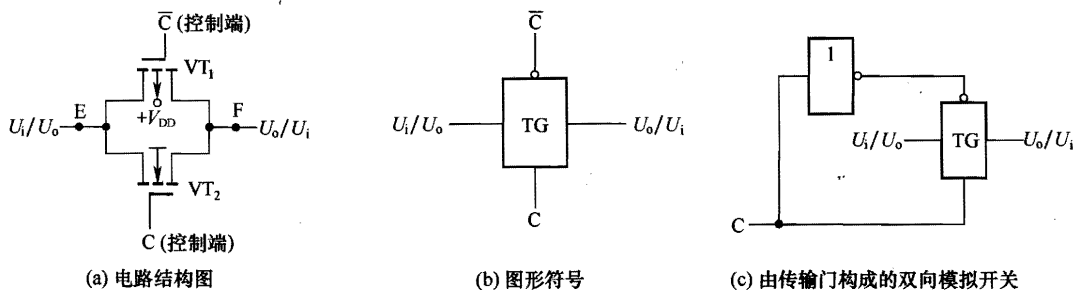


图 2-40 CMOS 传输门

CMOS 传输门工作原理说明如下:

当控制信号为高电平 (即 $C=1$, $\bar{C}=0$) 时, VT_1 (PMOS 管) 的 G 极为低电平, VT_1 导通, VT_2 (NMOS 管) 的 G 极为高电平, VT_2 导通, CMOS 传输门开通, E 端输入电压 U_i 经导通的 VT_1 、 VT_2 送到 F 端输出。

当控制信号为低电平 (即 $C=0$, $\bar{C}=1$) 时, VT_1 (PMOS 管) 的 G 极为高电平, VT_1 截止, VT_2 (NMOS 管) 的 G 极为低电平, VT_2 截止, CMOS 传输门关断, 输入电压 U_i 无法通过。

由于两个 MOS 管漏极 D 与源极 S 具有互换性, 故也可将 F 端作为输入端, E 端作为输出端, 那么信号电压就可以双向传送, 所以 CMOS 传输门又称双向开关。

为了控制方便, CMOS 传输门常和非门组合构成双向模拟开关, 其结构如图 2-40 (c) 所示, 当 $C=1$ 时, 开关接通, 当 $C=0$ 时, 开关断开。

（2）常用 CMOS 传输门芯片

CC4016 是一种常用的 CMOS 传输门芯片（双向模拟开关），其结构如图 2-41 所示，从图中可以看出，CC4016 内部有 4 个传输门，每个传输门有 1 个输入/输出端、1 个输出/输入端和 1 个控制端。

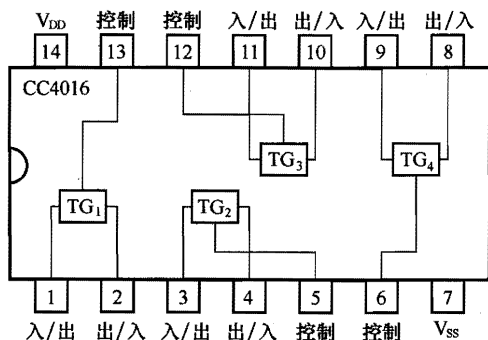


图 2-41 传输门芯片 CC4016

6. CMOS 器件使用注意事项

CMOS 器件在使用时要注意以下事项：

- ① 电源电压。电源电压不能接反，规定 $+V_{DD}$ 接电源正极， V_{SS} 接电源负极（通常为地）。
- ② 输入端的连接。输入端的信号电压 U_i 应为 $V_{DD} \geq U_i \geq V_{SS}$ ，超出该范围易损坏 CMOS 内部的保护二极管或栅极，可在输入端串接一个 $10 \sim 100k\Omega$ 的限流电阻，所有多余的输入端应根据逻辑要求接 V_{DD} 或 V_{SS} ，对器件工作速度要求不高时输入端允许并联使用。
- ③ 输出端的连接。输出端禁止直接接电源或接地，除三态门外，其他门电路的输出端禁止并联使用。
- ④ 测试。在测试 CMOS 器件时，应先加电源 V_{DD} ，然后加输入信号，停止测试时，要先撤去输入信号，再切断电源，另外要求所有测试仪器的外壳必须良好接地。
- ⑤ 存放与焊接。由于 CMOS 器件的输入阻抗很高，易被静电击穿，存放时应尽量让所有引脚短接（如用金属箔包装），焊接时电烙铁要良好接地，也可用烙铁余温焊接。



习题2

一、填空题

1. _____ 电路是组成各种数字电路最基本的单元。基本门电路有3种：_____、_____和_____。
2. 真值表是用来列举_____的表格。逻辑表达式是用来表达_____的逻辑关系的式子。
3. 与门的逻辑表达式是_____，或门的逻辑表达式是_____，非门的逻辑表达式是_____。
4. 与门电路的功能是：_____。
5. 复合门电路又称_____电路，是由_____组合而成。常见的复合门电路有：_____、_____、_____和_____等。
6. 与非门的逻辑表达式为_____，或非门的逻辑表达式为_____，与或非门的逻辑表达式为_____，异或门的逻辑表达式为_____，同或门的逻辑表达式为_____。
7. 集成门电路内部电路的结构与分立件门电路有所不同，但它们的_____关系是相同的。根据芯片内部采用的主要元件不同，集成门电路主要分为_____集成门电路和_____集成门电路。
8. TTL 集成门电路内部主要采用_____来构成门电路。TTL 电路是_____控制型器件，其功耗较_____，工作速度_____、传输延迟时间_____。
9. CMOS 集成门电路内部主要采用_____来构成门电路。CMOS 电路是_____控制型器件，其工作速度较 TTL 电路_____，功耗_____、抗干扰性_____、驱动负载能力_____。
10. OC 门也即_____电路，OC 门输出端内部的三极管集电极是_____。当将几个 OC 门的输出端连接起来，再接一个公共负载时，输出端有_____的关系，这个关系不是靠与门来实现的，而是由导线连接来实现的，故称为_____。
11. 三态门又称_____，这种门电路输出不仅会出现高电平和低电平，还可以出现第3种状态——_____，又称_____态或_____态)，它不但有输入、输出端，还有_____端。
12. 对于输入端为“或”逻辑的 TTL 器件，多余的输入端不能_____，应_____；对于输入端为“与”逻辑的 TTL 器件，多余的输入端可以_____，相当于接_____电平，但这样易受外界干扰，为此可将多余的输入端直接接_____或_____。
13. 对于 TTL 器件，输出端禁止_____，对于容性负载（100pF 以上），应_____，否则器件易损坏。除 OC 门和三态门外，其他门电路的输出端禁止_____。
14. CMOS 集成门电路主要由_____场效应管和_____场效应管以互补对称的形式组成。为分析方便，可认为当_____管 G 极为高电平时导通，为低电平时截止；当_____管 G 极为低电平时导通，为高电平时截止。

15. 对于 CMOS 器件，输入端的信号电压 U_i 应为_____，超出该范围易损坏，在对器件工作速度要求不高的情况下，输入端允许_____；输出端禁止_____，除三态门外，其他门电路的输出端禁止_____。

16. 由于 CMOS 器件的输入阻抗很_____，易被静电击穿，存放时应尽量让所有引脚_____，如用_____包装，焊接时电烙铁要_____，也可用烙铁_____焊接。

二、分析题

请按照以下步骤分析图 2-42 所示电路。

- (1) 写出电路的逻辑表达式；
- (2) 列出电路的真值表；
- (3) 认真分析真值表，总结出电路的逻辑功能。

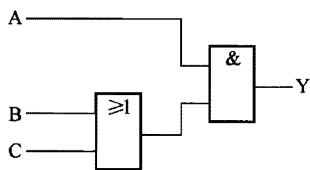


图 2-42

第3章

数制、编码与逻辑代数

本章知识结构

3.1 数制

- 3.1.1 十进制数
- 3.1.2 二进制数
- 3.1.3 十六进制数
- 3.1.4 数制转换

3.2 编码

- 3.2.1 8421BCD 码、2421BCD 码和 5421BCD 码
- 3.2.2 余 3 码
- 3.2.3 格雷码
- 3.2.4 奇偶校验码

3.3 逻辑代数

- 3.3.1 逻辑代数的常量和变量
- 3.3.2 逻辑代数的基本运算规律
- 3.3.3 逻辑表达式的化简
- 3.3.4 逻辑表达式、逻辑电路和真值表相互转换
- 3.3.5 逻辑代数在逻辑电路中的应用

数制就是数的进位制，十进制是平常使用最多的数制，而数字电路系统中常使用二进制。编码是指用二进制数表示各种数字或符号的过程。逻辑代数是分析数字电路的数学工具。在分析和设计数字电路时需要应用逻辑代数。

3.1 数 制

数制就是数的进位制。在日常生活中，经常会接触到 0、7、8、9、168、295 等这样的数字，这些数字就是一种数制——十进制数。另外，数制还有二进制数和十六进制数等。

3.1.1 十进制数

十进制数有以下两个特点。

① 有 10 个不同的数码：0、1、2、3、4、5、6、7、8、9。任意一个十进制数均可以由这 10 个数码组成。

② 遵循“逢十进一”的计数原则。对于任意一个十进制数 N ，它都可以表示成

$$N = a_{n-1} \times 10^{n-1} + a_{n-2} \times 10^{n-2} + \cdots + a_1 \times 10^1 + a_0 \times 10^0 + a_{-1} \times 10^{-1} + \cdots + a_{-m} \times 10^{-m}$$

其中 m 和 n 为正整数。

这里的 a_{n-1} 、 a_{n-2} …… a_{-m} 称为数码，10 称为基数， 10^{n-1} 、 10^{n-2} …… 10^{-m} 是各位数码的位权。

例如，根据上面的方法可以将十进制数 3 259.46 表示成 $3\ 259.46 = 3 \times 10^3 + 2 \times 10^2 + 5 \times 10^1 + 9 \times 10^0 + 4 \times 10^{-1} + 6 \times 10^{-2}$ 。

请写出 8 436.051 的展开式：

8 436.051 = _____。

3.1.2 二进制数

十进制数是最常见的数制，除此以外，还有二进制数、八进制数、十六进制数等。在数字电路中，二进制数用得最多。

1. 二进制数的特点

二进制数有以下两个特点。

① 有两个数码：0 和 1。任何一个二进制数都可以由这两个数码组成。



② 遵循“逢二进一”的计数原则。对于任意一个二进制数 N ，它都可表示成

$$N = a_{n-1} \times 2^{n-1} + a_{n-2} \times 2^{n-2} + \cdots + a_0 \times 2^0 + a_{-1} \times 2^{-1} + \cdots + a_{-m} \times 2^{-m}$$

其中 m 和 n 为正整数。

这里的 a_{n-1} 、 a_{n-2} …… a_{-m} 称为数码，2 称为基数， 2^{n-1} 、 2^{n-2} …… 2^{-m} 是各位数码的位权。

例如，二进制数 11011.01 可表示为 $(11011.01)_2 = 1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2}$ 。

请写出 $(1011.101)_2$ 的展开式：

$(1011.101)_2 =$ _____。

2. 二进制的四则运算

(1) 加法运算

加法运算法则是“逢二进一”。运算规律如下

$$0+0=0 \quad 0+1=1 \quad 1+0=1 \quad 1+1=10$$

当遇到“1+1”时就向相邻高位进 1。

例如，求 $(1011)_2 + (1011)_2$ ，可以用与十进制数相同的竖式计算

$$\begin{array}{r} 1011 \\ + 1011 \\ \hline 10110 \end{array}$$

即 $(1011)_2 + (1011)_2 = (10110)_2$ 。

(2) 减法运算

减法运算法则是“借一当二”。运算规律如下

$$0-0=0 \quad 1-0=1 \quad 1-1=0 \quad 10-1=1$$

当遇到“0-1”时，需向高位借 1 当“2”用。

例如，求 $(1100)_2 - (111)_2$

$$\begin{array}{r} 1100 \\ - 111 \\ \hline 101 \end{array}$$

即 $(1100)_2 - (111)_2 = (101)_2$ 。

(3) 乘法运算

乘法运算法则是“各数相乘，再作加法运算”。运算规律如下

$$0 \times 0 = 0 \quad 1 \times 0 = 0 \quad 0 \times 1 = 0 \quad 1 \times 1 = 1$$

例如，求 $(1101)_2 \times (101)_2$

$$\begin{array}{r} 1101 \\ \times \quad 101 \\ \hline 1101 \\ 1101 \\ \hline 1000001 \end{array}$$

即 $(1101)_2 \times (101)_2 = (1000001)_2$ 。

(4) 除法运算

除法运算法则是“各数相除，再作减法运算”。运算规律如下

$$0 \div 1 = 0 \quad 1 \div 1 = 1$$

例如，求 $(1111)_2 \div (101)_2$

$$\begin{array}{r} 11 \\ 101 \overline{) 1111} \\ \underline{101} \\ 101 \\ \underline{101} \\ 0 \end{array}$$

即 $(1111)_2 \div (101)_2 = (11)_2$ 。

3.1.3 十六进制数

十六进制数有以下两个特点。

① 有 16 个数码：0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F，这里的 A、B、C、D、E、F 分别代表 10、11、12、13、14、15。

② 遵循“逢十六进一”的计数原则。对于任意一个十六进制数 N ，它都可表示成

$$N = a_{n-1} \times 16^{n-1} + a_{n-2} \times 16^{n-2} + \cdots + a_0 \times 16^0 + a_{-1} \times 16^{-1} + \cdots + a_{-m} \times 16^{-m}$$

其中 m 和 n 为正整数。

这里的 a_{n-1} 、 a_{n-2} 、 \cdots 、 a_{-m} 称为数码，16 称为基数， 16^{n-1} 、 16^{n-2} 、 \cdots 、 16^{-m} 是各位数码的位权。

例如，十六进制数可表示为 $(3A6.D)_{16} = 3 \times 16^2 + 10 \times 16^1 + 6 \times 16^0 + 13 \times 16^{-1}$ 。

十六进制常用字母 H 表示，故 $(3A6.D)_{16}$ 也可表示成 $3A6.DH$ 。

请写出 $(B65F.6)_{16}$ 的展开式：

$(B65F.6)_{16} = \underline{\hspace{10cm}}$ 。

3.1.4 数制转换

不同数制之间可以相互转换，下面介绍几种数制之间的转换方法。



1. 二进制数转换成十进制数

二进制数转换成十进制数的方法是：将二进制数各位数码与位权相乘后求和，就能得到十进制数。

例如， $(101.1)_2 = 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 1 \times 2^{-1} = 4 + 0 + 1 + 0.5 = (5.5)_{10}$

2. 十进制数转换成二进制数

十进制数转换成二进制数的方法是：采用除 2 取余法，即将十进制数依次除 2，并依次记下余数，一直除到商数为 0，最后把全部余数按相反次序排列，就能得到二进制数。

例如，将十进制数 $(29)_{10}$ 转换成二进制数，方法为

2	$\overline{29}$	余 1	a_0	↑ 低位
2	$\overline{14}$	余 0	a_1	
2	$\overline{7}$	余 1	a_2	
2	$\overline{3}$	余 1	a_3	
2	$\overline{1}$	余 1	a_4	
0				

即 $(29)_{10} = (11101)_2$ 。

3. 二进制与十六进制的相互转换

(1) 二进制数转换成十六进制数

二进制数转换成十六进制数的方法是：从小数点起向左、右按 4 位分组，不足 4 位的，整数部分可在最高位的左边加“0”补齐，小数点部分不足 4 位的，可在最低位右边加“0”补齐，每组以其对应的十六进制数代替，将各个十六进制数依次写出即可。

例如，将二进制数 $(1011000110.111101)_2$ 转换为十六进制数，转换如下

$$\begin{aligned}
 & (1011000110.111101)_2 \\
 & = (\underline{0010} \ \underline{1100} \ \underline{0110} \ . \ \underline{1111} \ \underline{0100})_2 \\
 & \quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \\
 & = (\ 2 \quad C \quad 6 \quad . \quad F \quad 4 \)_{16} \\
 & = (2C6.F4)_{16}
 \end{aligned}$$

注：十六进制的 16 位数码为 0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F，它们分别与二进制数 0000、0001、0010、0011、0100、0101、0110、0111、1000、1001、1010、1011、1100、1101、1110、1111 相对应。

(2) 十六进制数转换成二进制数

十六进制数转换成二进制数的方法是：从左到右将待转换的十六进制数中的每个数依次用 4 位二进制数表示。

例如，将十六进制数 $(13AB.6D)_{16}$ 转换成二进制数

$$\begin{array}{ccccccc} (1 & 3 & A & B & . & 6 & D)_{16} \\ \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow \\ =(\underline{0001} & \underline{0011} & \underline{1010} & \underline{1011} & . & \underline{0110} & \underline{1101})_2 \\ =(\underline{0001001110101011} & . & \underline{01101101})_2 \end{array}$$

3.2 编 码

数字电路只能处理二进制形式的信息，而实际上经常会遇到其他形式的信息，如十进制数字、字母和文字等，这些信息数字电路是无法直接处理的，必须要将其先处理成二进制数。用二进制数表示各种数字或符号的过程称为编码。编码是由编码电路来完成的。

编码电路的种类很多，在本节主要介绍二-十进制编码。利用 4 位二进制数组合表示十进制 10 个数的编码，称为二-十进制编码，简称 BCD 码。根据编码方式不同，可分为 8421BCD 码、2421BCD 码、5421BCD 码、余 3 码、格雷码和奇偶校验码。

3.2.1 8421BCD 码、2421BCD 码和 5421BCD 码

1. 8421BCD 码

8421BCD 码是一种有权码，它的 4 位二进制从高到低的位权依次为 $2^3=8$ 、 $2^2=4$ 、 $2^1=2$ 、 $2^0=1$ 。

8421BCD 码转换成十进制数举例说明如下

$$(0110)_{8421BCD} = 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 = 0 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 1 = (6)_{10}$$

$$(011001011000.01000010)_{8421BCD} = (0110 \ 0101 \ 1000 \ .0100 \ 0010)_{8421BCD} = (6 \ 5 \ 8 \ .4 \ 2)_{10} = (658.42)_{10}$$

十进制数转换成 8421BCD 码举例说明如下

$$(7)_{10} = (0111)_{8421BCD}$$

$$(901.73)_{10} = (1001 \ 0000 \ 0001.0111 \ 0011)_{8421BCD} = (100100000001.01110011)_{8421BCD}$$

2. 2421BCD 码和 5421BCD 码

2421BCD 码、5421BCD 码和 8421BCD 码相似，它们都是有权码。2421BCD 码的 4 位二进制从高到低的位权依次为 2、4、2、1。5421BCD 码的 4 位二进制从高到低的位权依次为 5、4、2、1。它们与十进制数的相互转换与 8421BCD 码相同。

8421BCD 码、2421BCD 码、5421BCD 码、余 3 码与十进制数的对应关系见表 3-1。



表 3-1 常见 BCD 码与十进制数对照表

十 进 制 数	8421BCD 码	2421BCD 码	5421BCD 码	余 3 码
0	0000	0000	0000	0011
1	0001	0001	0001	0100
2	0010	0010	0010	0101
3	0011	0011	0011	0110
4	0100	0100	0100	0111
5	0101	1011	1000	1000
6	0110	1100	1001	1001
7	0111	1101	1010	1010
8	1000	1110	1011	1011
9	1001	1111	1100	1100
权	8、4、2、1	2、4、2、1	5、4、2、1	无权

2421BCD 码与十进制数的相互转换举例说明如下

$$(1010)_{2421BCD}=1\times 2+0\times 4+1\times 2+0\times 1=2+0+2+0=(4)_{10}$$

$$(702.54)_{10}=(1101\ 0000\ 0010.1011\ 0100)_{2421BCD}$$

5421BCD 码与十进制数的相互转换举例说明如下

$$(1010)_{5421BCD}=1\times 5+0\times 4+1\times 2+0\times 1=5+0+2+0=(7)_{10}$$

$$(702.54)_{10}=(1010\ 0000\ 0010.1000\ 0100)_{5421BCD}$$

3.2.2 余 3 码

余 3 码是由 8421BCD 码加上 3 (0011) 得来的，它是一种无权码。余 3 码与十进制数的相互转换举例说明如下

$$(0111)_{\text{余 3 码}}=(0111-0011)_{8421BCD}=(0100)_{8421BCD}=(4)_{10}$$

$$(6)_{10}=(0110)_{8421BCD}=(0110+0011)_{\text{余 3 码}}=(1001)_{\text{余 3 码}}$$

$$(7.5)_{10}=(0111.0101)_{8421BCD}=(1010.1000)_{\text{余 3 码}}$$

3.2.3 格雷码

两个相邻代码之间仅有 1 位数码不同的无权码称为格雷码。十进制数与格雷码的对应



关系见表 3-2。

表 3-2 十进制数与格雷码对照表

十 进 制 数	格 雷 码	十 进 制 数	格 雷 码
0	0000	9	1101
1	0001	10	1111
2	0011	11	1110
3	0010	12	1010
4	0110	13	1011
5	0111	14	1001
6	0101	15	1000
7	0100	权	无权
8	1100		

从表 3-2 中可以看出,相邻的两个格雷码之间仅有 1 位数码不同,如 5 的格雷码是 0111,它与 4 的格雷码 0110 仅最后 1 位不同,与 6 的格雷码 0101 仅倒数第 2 位不同。其他的编码方法表示的数码在递增或递减时,往往多位发生变化,3 的 8421BCD 码 0011 与 4 的 8421BCD 码 0100 同时有 3 位发生变化,这样在数字电路处理中很容易出错,而格雷码在递增或递减时,仅有 1 位发生变化,这样不容易出错,所以格雷码常用于高分辨率的设备中。

3.2.4 奇偶校验码

二进制数据在传递、存储过程中,可能会发生错误,即有时“1”变成“0”或“0”变成“1”。为了检查二进制数有无错误,可以采用奇偶校验码。

奇偶校验码由信息位和校验位组成。信息位就是数据本身,可以是位数不受限的任意二进制数;校验位是根据信息位中的“1”或“0”的个数加在信息位后面的 1 位二进制数。

奇偶校验码可分为奇校验码和偶校验码两种。校验位产生的规则是:对于奇校验,若信息位中有奇数个“1”,则校验位为“0”,若信息位中有偶数个“1”,则校验位为“1”;对于偶校验,若信息位中有偶数个“1”,则校验位为“0”,若信息位中有奇数个“1”,则校验位为“1”。

下面以图 3-1 来说明奇偶校验码的形成过程。

图 3-1 (a) 所示为奇校验编码,十进制数 6 先经 8421BCD 编码器转换成 0110,再送



到奇校验编码器，因为 0110 中 1 的个数是偶数，为保证整个奇偶校验码“1”的个数为奇数，校验位应为“1”，编码输出的数据为 01101。

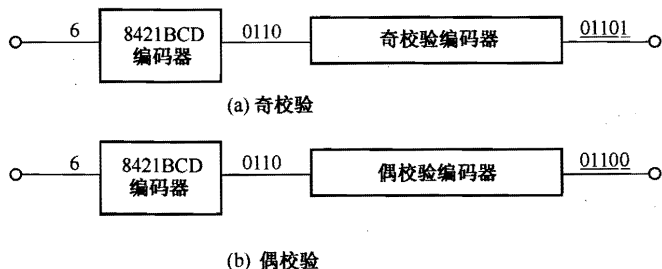


图 3-1 奇偶校验码

图 3-1 (b) 所示为偶校验编码，十进制数 6 先经 8421BCD 编码器转换成 0110，再送到偶校验编码器，因为 0110 中 1 的个数是偶数，所以校验位为“0”，编码输出的数据为 01100。

在传递奇偶校验码数据时，如果数据中的某位发生了错误，如奇校验码 01101 在传递时变成了 01001，这样信息位“1”的个数为奇数，按奇校验规则校验位应为“0”，但校验位为“1”，这样信息位与校验位不相符，说明该数据出错。

奇偶校验编码只能发现 1 位数出错，不能发现 2 位以上（偶数位）数字出错，不过 2 位数字同时出错的可能性很小。另外，奇偶校验编码不能发现数据中的哪 1 位出错。目前有一种汉明校验码，它既能发现错误又能查出错误数的位置，这种编码是在奇偶校验码的基础上改进的，如果有兴趣，读者可以查阅有关资料。

奇偶校验码虽然有一些缺陷，但它编码简单、实现容易，在要求不是很高的数字电路系统中仍被广泛采用。

3.3 逻辑代数

逻辑代数又称开关代数，是 19 世纪一位英国数学家布尔创立的，因而又称布尔代数。逻辑代数是按一定逻辑规律进行运算的代数，它是研究数字电路的数学工具，为分析和设计数字电路提供了理论基础。

3.3.1 逻辑代数的常量和变量

常量是指不变化的量，如 2、15 等都是常量；变量是指会发生变化的量，如 A 既可以代表 8，也可以代表 17，这里的 A 就是变量，它可以根据需要取不同的值，变量常用字母



表示。

逻辑代数有以下两个特点。

- ① 逻辑代数的常量有两个：“1”和“0”；而变量只能有两个值：“1”和“0”。
- ② 逻辑代数中的“1”和“0”不是表示数量大小，而是表示两种对立的逻辑状态（如真或假，高或低，开或关等）。

3.3.2 逻辑代数的基本运算规律

普通的代数在运算时有一定的规律，逻辑代数在运算是也有一定的规律，主要有基本运算定律和常用的恒等式。

1. 逻辑代数的基本运算定律

逻辑代数的基本运算定律见表 3-3。

表 3-3 逻辑代数的基本运算定律

自等律	$A+0=A$	$A \cdot 1=A$
0-1 律	$A+1=1$	$A \cdot 0=0$
重叠律	$A+A=A$	$A \cdot A=A$
互补律	$A+\overline{A}=1$	$A \cdot \overline{A}=0$
吸收律	$A+AB=A$	$A(A+B)=A$
非非律	$\overline{\overline{A}}=A$	
交换律	$A+B=B+A$	$AB=BA$
结合律	$(A+B)+C=A+(B+C)$	$(AB)C=A(BC)$
分配律	$A(B+C)=AB+AC$	$A+BC=(A+B)(A+C)$
反演律（摩根定理）	$\overline{AB}=\overline{A}+\overline{B}$	$\overline{A+B}=\overline{A} \cdot \overline{B}$

若要证明以上各个定律是否正确，可将各变量的取值代入相应的式子中，再计算等号左右的值是否相等。例如证明自等律 $A+0=A$ ，可先设 $A=1$ ，会有 $1+0=1$ ，再假设 $A=0$ ，就有 $0+0=0$ ，结果都符合 $A+0=A$ ，所以 $A+0=A$ 是正确的。

2. 常用的恒等式

在进行逻辑代数运算时，可运用前面介绍的各种定律，另外，逻辑代数中还有一些常见的恒等式，在某些情况下应用这些等式可以使逻辑代数运算更为简单快捷。下面介绍几种最常用的恒等式。



$$(1) AB + A\bar{B} = A$$

该恒等式证明如下

$$\begin{aligned} & AB + A\bar{B} \\ &= A(B + \bar{B}) \\ &= A \end{aligned}$$

此等式又称为合并律。

$$(2) A + \bar{A}B = A + B$$

该恒等式证明如下

$$\begin{aligned} A + \bar{A}B &= A(1+B) + \bar{A}B \\ &= A + AB + \bar{A}B = A + B(A + \bar{A}) \\ &= A + B \end{aligned}$$

以上等式说明, 在一个与或表达式中, 如果一项(A)的非是另一项($\bar{A}B$)的因子, 则此因子(\bar{A})是多余的, 故它是另一种形式的吸收律。

$$(3) AB + \bar{A}C + BC = AB + \bar{A}C$$

该恒等式证明如下

$$\begin{aligned} AB + \bar{A}C + BC &= AB + \bar{A}C + BC(A + \bar{A}) \\ &= AB + \bar{A}C + ABC + \bar{A}BC \\ &= AB(1+C) + \bar{A}C(1+B) \\ &= AB + \bar{A}C \end{aligned}$$

此等式有一个推论

$$AB + \bar{A}C + BCD = AB + \bar{A}C$$

以上等式说明, 在一个与或表达式中, 如果两项分别包含A和 \bar{A} , 而其余的因子(B、C)为第3项的因子, 则第3项是多余的。此等式又称为添加律。

$$(4) \overline{AB + AB} = AB + \bar{A}\bar{B}$$

该恒等式证明如下

$$\begin{aligned} \overline{AB + AB} &= \overline{AB \cdot AB} = (\bar{A} + \bar{B}) \cdot (\bar{A} + \bar{B}) = (\bar{A} + B) \cdot (A + \bar{B}) \\ &= \bar{A}A + \bar{A}\bar{B} + BA + B\bar{B} \\ &= 0 + \bar{A}\bar{B} + AB + 0 \\ &= AB + \bar{A}\bar{B} \end{aligned}$$

此等式还有一个推论

$$\overline{AB + AB} = \bar{A}\bar{B} + \bar{A}\bar{B}$$

上面等式说明, 由两项组成的与或表达式中(如 $\overline{AB + AB}$), 如果两项中的部分因子互



补 (\overline{AB} 、 $\overline{A}\overline{B}$ 两项中 A 与 \overline{A} 互补)，那么将这两项其余部分 (\overline{B}) 各自取反，就得到这个函数的反函数 ($AB+\overline{A}B$)。

3.3.3 逻辑表达式的化简

1. 逻辑表达式化简的意义

利用逻辑表达式可以分析数字电路，逻辑表达式又是设计数字电路的依据。但同一逻辑关系往往可以有几种不同的表达式，有的表达式简单些，有的则较复杂，如下面两个表达式

$$Y=A+\overline{A}B$$
$$Y=A+B$$

上面两个表达式的逻辑关系是完全一样的，可以明显看出第2个表达式要比第1个简单。逻辑表达式越简单，与之对应的电路也就越简单。逻辑表达式化简就是将比较复杂的表达式转化成最简单的表达式。那么什么才是最简表达式呢？所谓最简表达式就是：式子中的乘积项最少；在满足乘积项最少的条件下，每个乘积项中的变量个数最少。

2. 逻辑表达式化简的方法

根据逻辑表达式可以设计数字逻辑电路，为了使设计出来的电路最简单，需要将逻辑表达式转化为最简表达式，这就要求对逻辑表达式进行化简。逻辑表达式化简的方法主要有公式法和卡诺图法，下面仅介绍公式法。

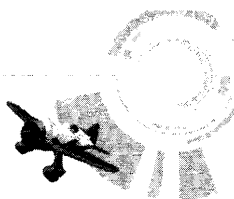
公式法是根据逻辑代数基本定律公式和恒等式，将逻辑表达式转换为最简式。利用公式法化简逻辑表达式的常用方法有并项法、吸收法、消去法和配项法。

(1) 并项法

它是利用公式 $AB+A\overline{B}=A(B+\overline{B})=A$ ，将两个乘积项合并成一项，合并时消去互补变量。例如：

$$\begin{aligned} \textcircled{1} & A(BC+B\overline{C})+A(\overline{B}C+\overline{B}\overline{C}) \\ &= ABC+AB\overline{C}+\overline{A}B C+\overline{A}B\overline{C} \\ &= AB(C+\overline{C})+\overline{A}B(C+\overline{C}) \text{ (利用公式 } A+\overline{A}=1 \text{)} \\ &= AB+\overline{A}B \\ &= A(B+\overline{B}) \text{ (利用公式 } A+\overline{A}=1 \text{)} \\ &= A \end{aligned}$$

$$\begin{aligned} \textcircled{2} & A\overline{B}C+\overline{A}B\overline{C} \\ &= C(A\overline{B}+\overline{A}B) \text{ (利用 } A+\overline{A}=1 \text{)} \\ &= C \end{aligned}$$



(2) 吸收法

它是利用公式 $A+AB=A(1+B)=A$, 消去多余项。例如:

$$\begin{aligned} \textcircled{1} \quad & A\bar{B}+A\bar{B}CD(E+F) \\ &=A\bar{B}[1+CD(E+F)] \quad (\text{利用 } 1+A=1) \\ &=A\bar{B} \end{aligned}$$

$$\begin{aligned} \textcircled{2} \quad & \bar{C}+\bar{A}BCD \\ &=\bar{C}(1+\bar{A}BD) \quad (\text{利用 } 1+A=1) \\ &=\bar{C} \end{aligned}$$

(3) 消去法

它是利用 $A+\bar{A}B=A+B$, 消去多余项。例如:

$$\begin{aligned} \textcircled{1} \quad & AB+\bar{A}C+\bar{B}C \\ &=AB+C(\bar{A}+\bar{B}) \quad (\text{利用 } \bar{A}+\bar{B}=\overline{AB}) \\ &=AB+\overline{ABC} \quad (\text{利用 } A+\bar{A}B=A+B) \\ &=AB+C \end{aligned}$$

$$\begin{aligned} \textcircled{2} \quad & A\bar{B}+\bar{A}B+ABCD+\bar{A}\bar{B}CD \\ &=(A\bar{B}+\bar{A}B)+CD(AB+\bar{A}\bar{B}) \quad (\text{利用 } AB+\bar{A}\bar{B}=\overline{AB}+\overline{AB}) \\ &=(A\bar{B}+\bar{A}B)+CD(\overline{AB}+\overline{AB}) \quad (\text{利用 } A+\bar{A}B=A+B) \\ &=A\bar{B}+\bar{A}B+CD \end{aligned}$$

(4) 配项法

有些表达式不能直接利用公式化简, 这时往往可以用 $A=A(B+\bar{B})=AB+A\bar{B}$ 的方式将部分乘积项变为两项, 或利用 $AB+\bar{A}C=AB+\bar{A}C+BC$ 增加一个项, 再利用公式进行化简。例如:

$$\begin{aligned} \textcircled{1} \quad & A\bar{B}+B\bar{C}+\bar{B}C+\bar{A}B \\ &=A\bar{B}+B\bar{C}+(A+\bar{A})\bar{B}C+\bar{A}B(C+\bar{C}) \\ &=A\bar{B}+B\bar{C}+A\bar{B}C+\bar{A}\bar{B}C+\bar{A}BC+\bar{A}B\bar{C} \\ &=(A\bar{B}+A\bar{B}C)+(B\bar{C}+\bar{A}\bar{B}C)+(\bar{A}BC+\bar{A}B\bar{C}) \quad (\text{利用 } A+AB=A) \\ &=A\bar{B}+B\bar{C}+\bar{A}B \end{aligned}$$

$$\begin{aligned} \textcircled{2} \quad & A\bar{B}+B\bar{C}+\bar{B}C+\bar{A}B \\ &=A\bar{B}+B\bar{C}+\bar{B}C+\bar{A}B+\bar{A}C \quad (\text{利用恒等式 } AB+\bar{A}C=AB+\bar{A}C+BC \text{ 增加一项 } \bar{A}C) \\ &=A\bar{B}+\bar{A}C+B\bar{C}+B\bar{C}+\bar{A}B \\ &=A\bar{B}+\bar{A}C+B\bar{C}+\bar{A}B \quad (\text{利用恒等式 } AB+\bar{A}C+BC=AB+\bar{A}C \text{ 消去一项 } \bar{B}C) \\ &=A\bar{B}+(\bar{A}C+B\bar{C}+\bar{A}B) \\ &=A\bar{B}+\bar{A}C+B\bar{C} \quad (\text{利用恒等式 } AB+\bar{A}C+BC=AB+\bar{A}C \text{ 消去一项 } \bar{A}B) \end{aligned}$$

3.3.4 逻辑表达式、逻辑电路和真值表相互转换

任何一个逻辑电路，它的输入与输出关系都可以用逻辑表达式表示出来，反之，任何一个逻辑表达式总可以设计出一个逻辑电路来对它进行运算；逻辑表达式可以用真值表直观显示各种输入及对应的输出情况，而根据真值表也可以写出逻辑表达式。总之，逻辑表达式、逻辑电路和真值表之间是可以相互转换的，了解它们的互相转换对设计和分析数字电路非常重要。

1. 逻辑表达式与逻辑电路的相互转换

(1) 根据逻辑电路写出逻辑表达式

根据逻辑电路写出逻辑表达式比较简单，下面以图 3-2 所示的逻辑电路来说明。

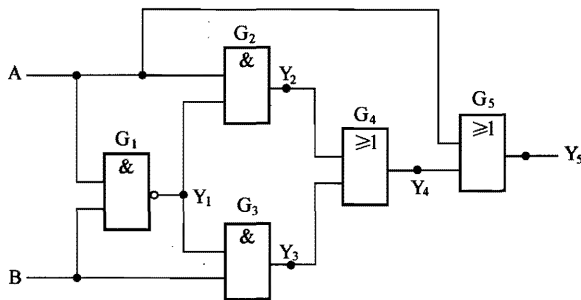


图 3-2 根据逻辑电路写出逻辑表达式例图

根据逻辑电路写出逻辑表达式过程一般分为以下两步。

① 从前往后依次写出逻辑电路中各门电路的逻辑表达式。

门电路 G_1 : $Y_1 = \overline{AB}$;

门电路 G_2 : $Y_2 = AY_1$;

门电路 G_3 : $Y_3 = Y_1B$;

门电路 G_4 : $Y_4 = Y_2 + Y_3$;

门电路 G_5 : $Y_5 = A + Y_4$ 。

② 依次将前一个门电路的表达式代入后一个门电路的表达式中，最终就能得到整个逻辑电路的表达式。

将 $Y_1 = \overline{AB}$ 代入 $Y_2 = AY_1$ 中，得到 $Y_2 = A\overline{AB}$;

将 $Y_1 = \overline{AB}$ 代入 $Y_3 = Y_1B$ 中，得到 $Y_3 = \overline{AB}B$;

将 $Y_2 = A\overline{AB}$ 和 $Y_3 = \overline{AB}B$ 代入到 $Y_4 = Y_2 + Y_3$ 中，得到 $Y_4 = A\overline{AB} + \overline{AB}B$;

将 $Y_4 = A\overline{AB} + \overline{AB}B$ 代入 $Y_5 = A + Y_4$ 中，得到 $Y_5 = A + (A\overline{AB} + \overline{AB}B)$ 。



最终得到的 $Y_5=A+(A\overline{AB}+\overline{AB}B)$ 就是图 3-2 所示逻辑电路的逻辑表达式。

(2) 根据逻辑表达式画出逻辑电路

由逻辑表达式画出逻辑电路的过程与逻辑表达式的运算过程相似。下面以画逻辑表达式 $Y=(A+B)\overline{AB}$ 的逻辑电路为例来说明。

$Y=(A+B)\overline{AB}$ 的运算顺序：先将 A 和 B 进行或运算 $(A+B)$ ，同时将 A 和 B 进行与非运算 (\overline{AB}) ；然后将 A、B 或运算的结果和 A、B 与非运算的结果进行与运算，就可以得出表达式的最终结果。

$Y=(A+B)\overline{AB}$ 的逻辑电路图的绘制过程如下：先画出 A、B 的或门电路（完成 $A+B$ 运算），再在垂直并列的位置画出 A、B 的与非门电路（完成 \overline{AB} 运算），然后以这两个门电路输出端作为后级的输入端在后面画一个与门电路（完成 $(A+B)\overline{AB}$ 运算），这样画出的电路就是 $Y=(A+B)\overline{AB}$ 的逻辑电路图。

$Y=(A+B)\overline{AB}$ 的逻辑电路图如图 3-3 所示。

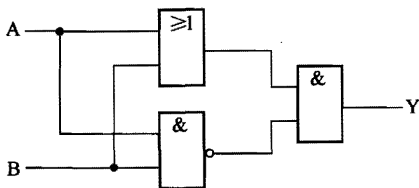


图 3-3 根据逻辑表达式画出逻辑电路例图

2. 逻辑表达式与真值表的相互转换

(1) 根据逻辑表达式列出真值表

真值表是描述数字电路输入、输出逻辑关系的表格，依据真值表可以很直观地看出输入与输出之间的逻辑关系。下面以列逻辑表达式 $Y=\overline{A}B+A\overline{B}$ 的真值表为例来说明，具体过程如下：

① 首先画 1 个 2 行多列表格，第 2 行行距较大，列数与逻辑表达式的变量个数一致， $Y=\overline{A}B+A\overline{B}$ 中的变量数有 3 个，即 A、B、Y，所以列出 1 个 2 行 3 列的表格，见表 3-4。

② 将所有的变量符号写入第 1 行的表格中。

③ 将输入变量的各种可能值写入第 2 行表格内，并根据逻辑表达式写出相应的输出变量值，见表 3-5。

表 3-5 即为逻辑表达式 $Y=\overline{A}B+A\overline{B}$ 的真值表。

(2) 根据真值表写出逻辑表达式

根据真值表写逻辑表达式的过程如下：

表 3-4 2 行 3 列表

表 3-5 $Y = \bar{A}B + A\bar{B}$ 真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

① 从真值表上找出输出为 1 的各行，再把这些行的输入变量写成乘积的形式，如果变量值为 0，要在变量上加非。

② 把以上各行的乘积项相加。

下面以表 3-6 为例来说明由真值表写逻辑表达式的过程。

表 3-6 由真值表写出逻辑表达式列表

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	1
0	0	1	0	1	0	1	0
0	1	0	0	1	1	0	0
0	1	1	1	1	1	1	1

首先在真值表中找到输出变量值为 1 的各行，表中共有 3 行输出变量为 1，将这些行的输入变量写成乘积形式： $\bar{A}BC$ 、 $A\bar{B}\bar{C}$ 、 ABC ，然后将这 3 个乘积项相加，得到表达式 $Y = A\bar{B}\bar{C} + \bar{A}BC + ABC$ 。此表达式就是真值表 3-6 的逻辑表达式。

3.3.5 逻辑代数在逻辑电路中的应用

逻辑代数对分析和设计逻辑电路有很重要的作用，特别是在设计逻辑电路时，逻辑表达式化简的应用可以使设计出来的逻辑电路简单化。

例如，根据逻辑表达式 $Y = AB + AC$ 设计出它的逻辑电路。

方法一：并列画出 A、B 的与门电路和 A、C 的与门电路，再以这两个与门电路的输出端作为后级电路的输入端在后面画一个或门电路，画出的逻辑电路如图 3-4 所示。

方法二：观察到 $Y = AB + AC$ 不是最简式，先对它化简，得到 $Y = A(B + C)$ ，再画出它的逻辑电路，如图 3-5 所示。

从上面的情况可以得出这样的结论：当需要根据逻辑表达式设计逻辑电路时，首先观



察其是否为最简表达式,如果不是,要把它化简成最简表达式,再依据最简式设计出逻辑电路。

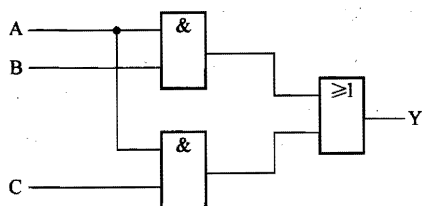


图 3-4 $Y=AB+AC$ 逻辑电路

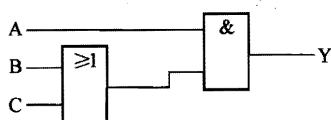


图 3-5 $Y=A(B+C)$ 逻辑电路

习题 3

一、填空题

1. 二进制数有_____和_____两个数码,计数时遵循_____的原则。对于任意一个二进制数 N ,它都可表示成 $N=$ _____。
2. 十六进制数有 16 个数码,分别是_____,计数时遵循_____的原则。对于任意一个十六进制数 N ,它都可表示成 $N=$ _____。
3. 二进制数 110.01 转换成十进制数为_____;十进制数 23 转换成二进制数为_____;二进制数 1011110.101 转换成十六进制数为_____;十六进制数 A6.3C 转换成二进制数为_____。
4. 编码是指_____的过程。编码是由_____来完成的。利用_____位二进制数组合表示_____的编码,称为二-十进制编码,简称_____码。
5. 对于十进制数 8,用 8421BCD 码表示应为_____,用 2421BCD 码表示应为_____,用 5421BCD 码表示应为_____;用余 3 码表示应为_____。
6. 两个相邻代码之间仅有_____位数码不同的无权码称为格雷码,格雷码在递增或递减时,有_____位发生变化,这样不容易出错,所以格雷码常用于_____分辨率的设备中。
7. 奇偶校验码由_____位和_____位组成。奇偶校验码可分为_____码和_____码两种。1011 的奇校验码为_____ (5 位),偶校验码为_____;1001 的奇校验码为_____,偶校验码为_____。
8. 常量是指_____的量,变量是指_____的量,C、Y 是_____量,1、86 是_____量,变量常用_____表示,逻辑代数中的变量有_____个值,分别是_____。

9. 最简表达式的特点是：式子中的_____最少，在满足_____的条件下，每个乘积项中的_____个数最少。

10. 逻辑代数的基本运算定律主要有：① $A+0=$ _____, $A \cdot 1=$ _____；② $A+1=$ _____, $A \cdot 0=$ _____；③ $A+A=$ _____, $A \cdot A=$ _____；④ $A+\bar{A}=$ _____, $A \cdot \bar{A}=$ _____；⑤ $A+AB=$ _____, $A(A+B)=$ _____；⑥ $\bar{\bar{A}}=$ _____；⑦ $A+B=$ _____, $AB=$ _____；⑧ $(A+B)+C=$ _____, $(AB)C=$ _____；⑨ $A(B+C)=$ _____, $A+BC=$ _____；⑩ $\overline{AB}=$ _____, $\overline{A+B}=$ _____。

二、分析题

先对 $Y=AB+\bar{A}C+\bar{B}C$ 进行化简，再根据化简后的表达式画出逻辑电路图。

第4章

组合逻辑电路

本章知识结构

- 4.1 组合逻辑电路分析与设计
 - 4.1.1 组合逻辑电路的分析
 - 4.1.2 组合逻辑电路的设计
- 4.2 编码器
 - 4.2.1 普通编码器
 - 4.2.2 优先编码器
- 4.3 译码器
 - 4.3.1 二进制译码器
 - 4.3.2 二-十进制译码器
 - 4.3.3 数码显示器与显示译码器
- 4.4 数码管译码控制器的电路原理与实验
 - 4.4.1 电路原理
 - 4.4.2 实验操作
- 4.5 加法器
 - 4.5.1 半加器
 - 4.5.2 全加器
 - 4.5.3 多位加法器
- 4.6 数值比较器
 - 4.6.1 等值比较器
 - 4.6.2 数值比较器
- 4.7 数据选择器
 - 4.7.1 结构与原理
 - 4.7.2 常用数据选择器芯片
- 4.8 奇偶校验器
 - 4.8.1 奇偶校验原理
 - 4.8.2 奇偶校验器

组合逻辑电路又称组合电路，它任何时刻的输出只由当时的输入决定，而与电路的原状态（以前的状态）无关，电路没有记忆功能。

常见的组合逻辑电路有编码器、译码器、加法器、数值比较器、数据选择器和奇偶校验器等。

4.1 组合逻辑电路分析与设计

组合逻辑电路的分析是指根据逻辑电路分析出它具有的功能；而设计则是指为了完成某些功能而设计出具体的逻辑电路来执行。

4.1.1 组合逻辑电路的分析

1. 分析步骤

组合逻辑电路的分析一般按以下步骤进行：

- ① 根据逻辑电路写出逻辑表达式；
- ② 对逻辑表达式进行化简；
- ③ 根据化简后的表达式列出真值表；
- ④ 描述逻辑电路的功能（若功能较复杂，难以描述，该步骤可省略）。

2. 分析举例

下面以图 4-1 所示电路为例来说明组合逻辑电路分析过程。

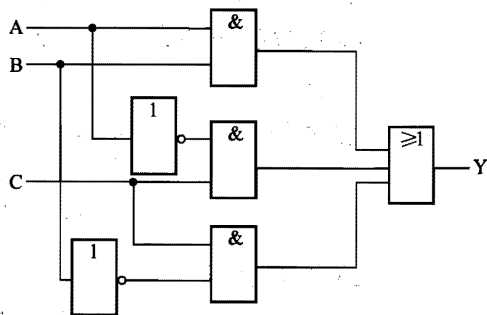


图 4-1 组合逻辑电路

分析过程如下：

- (1) 根据逻辑电路写出逻辑表达式

$$Y = AB + \bar{A}C + \bar{B}C$$



(2) 对逻辑表达式进行化简

$$\begin{aligned}Y &= AB + \bar{A}C + \bar{B}C \\&= AB + C(\bar{A} + \bar{B}) \quad (\text{根据公式 } \bar{A} + \bar{B} = \overline{AB}) \\&= AB + \overline{AB}C \quad (\text{根据公式 } A + \bar{A}B = A + B) \\&= AB + C\end{aligned}$$

(3) 根据化简后的表达式列出真值表。

真值表见表 4-1。

表 4-1 $Y=AB+C$ 的真值表

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

(4) 描述逻辑电路的功能

从表 4-1 真值表可以看出, 图 4-1 所示电路的逻辑功能是: 当输入端 C 为 1 时, 输出端一定为 1; 当输入端 C 为 0 时, 只有 A、B 同时输入为 1, 输出端才会输出 1。

4.1.2 组合逻辑电路的设计

1. 设计步骤

组合逻辑电路的设计步骤如下:

- ① 根据实际问题需要实现的功能, 列出相应的真值表;
- ② 依据真值表写出逻辑表达式;
- ③ 化简逻辑表达式;
- ④ 根据化简后的逻辑表达式画出逻辑电路图。

2. 设计举例

下面举例来说明组合逻辑电路的设计。

某个运动会举行举重比赛, 比赛有 3 个裁判, A 为主裁判, B、C 为副裁判。举重是否成功由每个裁判按面前的按键来决定, 只有两个以上裁判 (其中必须有主裁判) 按下按钮确定成功时, 表明“成功”的灯才亮。请设计一个逻辑电路来实现上述功能。

设计过程如下:

(1) 根据实际问题需要实现的功能, 列出相应的真值表

根据上述问题，设 Y 为指示灯，1 表示灯亮，0 表示灯不亮；A 表示主裁判，B、C 表示两个副裁判，1 表示按键按下，0 表示按键未按下。列出的真值表见表 4-2。

表 4-2 举重裁判判定问题的真值表

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	0	1	1	1	1

(2) 根据真值表写出逻辑表达式

根据真值表写逻辑表达式的方法是：①从真值表上找出输出为 1 的各行，再把这些行的输入变量写成乘积的形式，如果变量值为 0，要在变量上加非；②把以上各行的乘积项相加，写出的逻辑表达式为

$$Y=A\bar{B}C+AB\bar{C}+ABC$$

(3) 化简逻辑表达式

$$\begin{aligned}
 Y &= A\bar{B}C + AB\bar{C} + ABC \\
 &= A\bar{B}C + AB(\bar{C} + C) \quad (\text{根据 } A + \bar{A} = 1) \\
 &= A\bar{B}C + AB \\
 &= A(\bar{B}C + B) \quad (\text{根据 } A + \bar{A}B = A + B) \\
 &= A(B + C)
 \end{aligned}$$

(4) 根据化简后的逻辑表达式画出逻辑电路图

图 4-2 所示的逻辑电路能满足裁判判决的逻辑关系，但还不是一个可以实际应用的电路，在图 4-2 所示电路中再增加一些电路就可以构成具有实用价值的电路。举重比赛裁判裁决实用电路如图 4-3 所示。

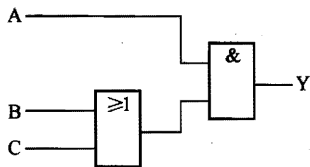


图 4-2 $Y=A(B+C)$ 逻辑电路

在图 4-3 所示电路中，当按下按键 S_A 和 S_B 时，A、B 端分别输入高电平（即为“1”），C 端为低电平，结果逻辑电路 Y 端输出高电平（也即为“1”），高电平加到晶体管 VT 的基极，VT 导通，有电流流过灯，灯亮，表明判决成功。其他各种情况请读者自行分析。

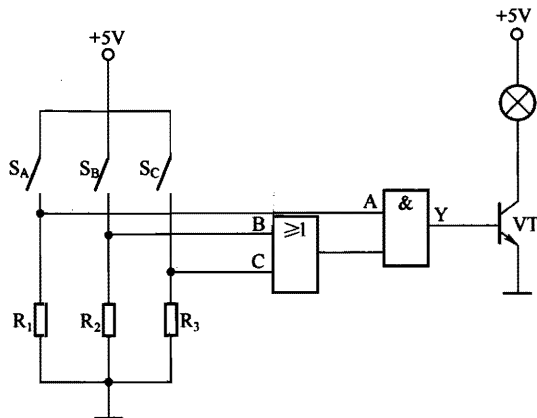


图 4-3 举重比赛裁判裁决实用电路

4.2 编码器

在数字电路中，将输入信号转换成一组二进制代码的过程称为编码。编码器是指能实现编码功能的电路。计算机键盘内部就用到编码器，当按下某个按键时，会给编码器输入一个信号，编码器会将该信号转换成一串由 1、0 组成的二进制代码送入计算机，按压不同的按键时，编码器转换成的二进制代码不同，计算机根据代码不同就能识别按下哪个按键。编码器的种类很多，主要分为两类：普通编码器和优先编码器。

4.2.1 普通编码器

普通编码器任何时刻只允许输入一个信号，若同时输入多个信号，编码输出就会产生混乱。

图 4-4 所示是一个典型普通编码器的电路结构。

工作原理说明如下：

图 4-4 中的 $S_0 \sim S_7$ 8 个按键分别代表 $a \sim h$ 8 个字母（各个按键上刻有相应的字母），当按下不同的按键时，编码器 $Y_0 \sim Y_2$ 端会输出不同的二进制代码。

当按下代表字母“a”的按键 S_0 时，A 端为 1（高电平），但 A 端不与 3 个或门电路相连，又因为 $S_1 \sim S_7$ 的按键都未按下，故 3 个或门输入都为 0，结果编码器输出 $Y_2 Y_1 Y_0 = 000$ 。即字母“a”经编码器编码后转换成二进制代码 000。

按下代表字母“f”的按键 S_5 时，F 端为 1， $F=1$ 加到门 G_1 和门 G_3 的输入端，门 G_1 输出 $Y_0=1$ ，门 G_3 输出 $Y_2=1$ ，而门 G_2 输出 $Y_1=0$ ，结果编码器输出 $Y_2 Y_1 Y_0 = 101$ 。即字母“f”

经编码器编码后转换成二进制代码 101。

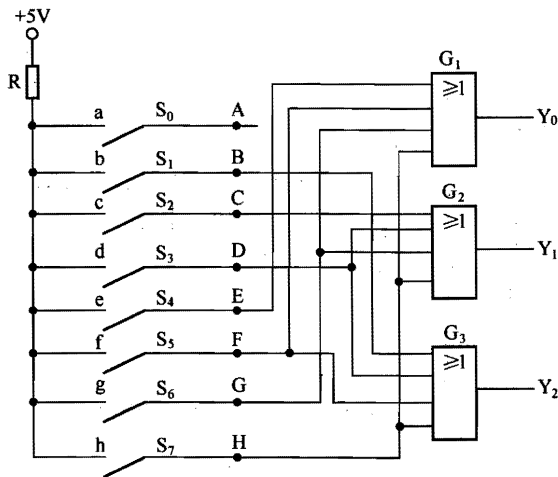


图 4-4 典型普通编码器的电路结构

当按下其他代表不同字母的按键时，编码器会输出相应的二进制代码，具体见表 4-3。

表 4-3 普通编码器的真值表

代表符号	输入变量	编码输出代码			代表符号	输入变量	编码输出代码		
		Y ₀	Y ₁	Y ₂			Y ₀	Y ₁	Y ₂
a	A=1	0	0	0	e	E=1	1	0	0
b	B=1	0	0	1	f	F=1	1	0	1
c	C=1	0	1	0	g	G=1	1	1	0
d	D=1	0	1	1	h	H=1	1	1	1

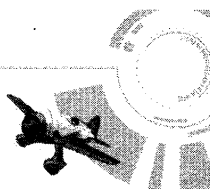
在图 4-4 所示的编码器中，如果同时按下多个按键，如同时按下“b”、“c”键，编码输出的代码为 Y₂Y₁Y₀=110，它与按下“d”键时的编码输出相同。因此普通编码器在任意时刻只允许输入一个信号。

4.2.2 优先编码器

普通编码器在任意时刻只允许输入一个信号，而优先编码器同一时刻允许输入多个信号，但仅对输入信号中优先级别最高的一个信号进行编码输出。

1. 8 线-3 线优先编码器芯片

74LS148 是一种常用的 8 线-3 线优先编码器芯片，其各引脚功能如图 4-5 所示。



74LS148 有 8 个编码输入端 (0~7)、3 个编码输出端 ($A_0 \sim A_2$)、一个输入使能端 (EI)、一个输出使能端 (EO) 和一个片扩展输出端 (GS)。由于该编码器芯片有 8 个输入端和 3 个输出端, 故称为 8 线-3 线编码器。

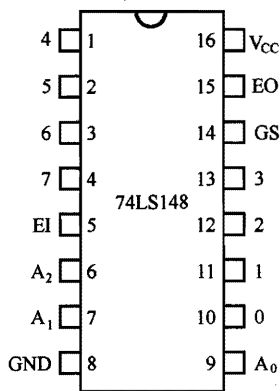


图 4-5 8 线-3 线优先编码器芯片

表 4-4 为 74LS148 的真值表, 表中的 \times 表示无论输入何值, 均不影响输出。

表 4-4 74LS148 的真值表

输 入									输 出				
EI	0	1	2	3	4	5	6	7	A_2	A_1	A_0	GS	EO
H	\times	\times	\times	\times	\times	\times	\times	\times	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	\times	\times	\times	\times	\times	\times	\times	L	L	L	L	L	H
L	\times	\times	\times	\times	\times	\times	L	H	L	L	H	L	H
L	\times	\times	\times	\times	\times	L	H	H	L	H	L	L	H
L	\times	\times	\times	L	H	H	H	H	L	H	L	L	H
L	\times	\times	L	H	H	H	H	H	H	L	H	L	H
L	\times	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

从表 4-4 中不难看出:

① 当输入使能端 EI=H 时, 0~7 端无论输入何值, 输出端均为 H。即 EI=H 时, 编码器无法编码。

② 当 EI=L 时, 编码器可以对输入信号进行编码。在 8 个输入端中, 优先级别由高到低依次是 7、6……1、0, 当优先级别高的端子有信号输入时 (端子为低电平 L 时表示有信

号输入)，编码器仅对该端信号进行编码，而不理睬优先级别低的端子。例如端子 7 输入信号时，编码器仅对该端输入进行编码，输出 $A_2A_1A_0=000$ ，若这时 0~6 端子有信号输入，编码器不予理睬。

另外，在编码器有编码输入时，会使 $GS=L$ 、 $EO=H$ ，无编码输入时， $GS=H$ 、 $EO=L$ 。

2. 8 线-3 线优先编码器

图 4-6 所示是一个由 74LS148 芯片组成的 8 线-3 线优先编码器，其输入使能端 EI 接地（ $EI=L$ ），让芯片能进行编码，GS、EO 端悬空未用。

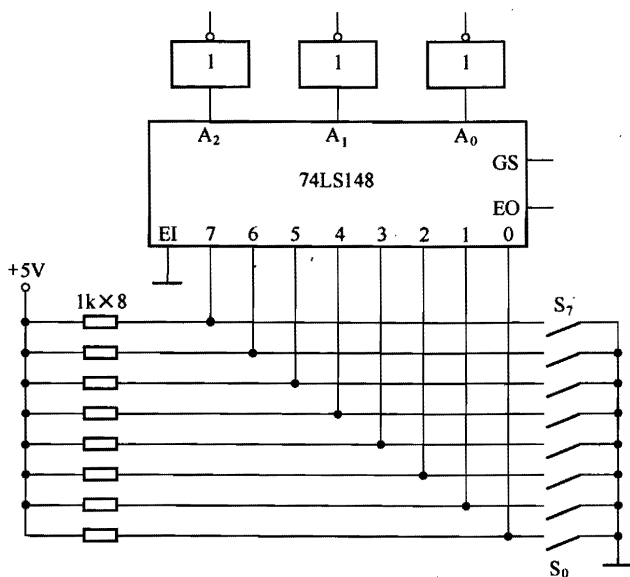


图 4-6 由 74LS148 芯片组成的 8 线-3 线优先编码器

当按键 $S_0 \sim S_7$ 均未按下时，编码器 0~7 端子均为高电平，编码器无输入。

当 S_6 按下时，编码器 6 端变为低电平，表示 6 端有编码输入，编码器编码输出 $A_2A_1A_0=001$ ，经非门反相后变为 110。

当 S_6 、 S_5 同时按下时，编码器 6、5 端均为低电平，但编码器仅对 6 端输入进行编码，编码输出 $A_2A_1A_0$ 仍为 001。

3. 16 线-4 线优先编码器

图 4-7 所示是由两片 74LS148 芯片组成的 16 线-4 线优先编码器，它可以将 $D_{15} \sim D_0$ 分别编码成 1111~0000 4 位代码输出。在两片 74LS148 中（2）为高位片，（1）为低位片，高位片的优先级别高，低位片的优先级别低。

该优先编码器的工作原理说明如下：



当高位片 $EI=1$ 时, 高位片禁止编码, 高位片所有输出均为 1, 高位片的 EO 也为 1, 它使低位片的 EI 为 1, 低位片也被禁止编码, 低位片所有输出均为 1。

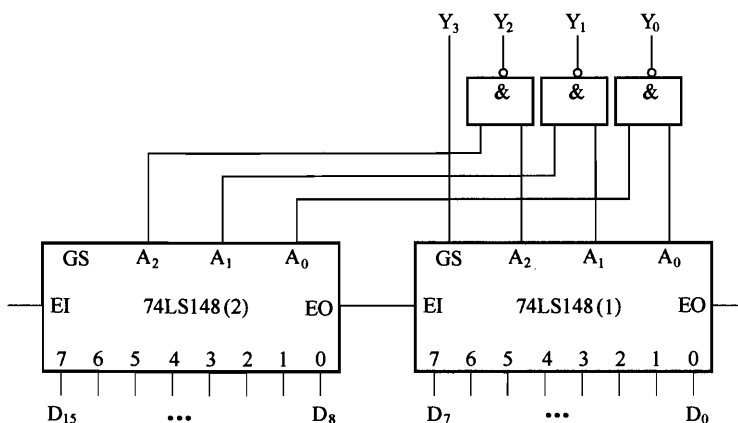


图 4-7 由两片 74LS148 芯片组成的 16 线-4 线优先编码器

当高位片 $EI=0$ 时, 高位片允许编码。若此时高位片有编码输入 ($D_{15} \sim D_8$ 端有低电平输入), 高位片的 EO 为 1, 它使低位片的 EI 为 1, 优先级别低的低位片被禁止编码。若高位片无编码输入, 高位片的 EO 为 0, 它使低位片 EI 为 0, 低位片允许编码。

在高位片 $EI=0$ 时, 若 $D_{15}=0$, 高位片的 $A_2A_1A_0=000$, 高位片有编码输入, 其 $EO=1$ 使低位片禁止编码, 低位片的 $A_2A_1A_0=111$, 高、低位片输出经与非门后 $Y_2Y_1Y_0=111$, 由于低位片 $GS=1$, 故 $Y_3Y_2Y_1Y_0=1111$ 。

在高位片 $EI=0$ 时, 若 $D_6=0$, 高位片无编码输入, 其 $A_2A_1A_0=111$, 高位片的 $EO=0$ 使低位片允许编码, 低位片的 $A_2A_1A_0=001$, 高、低位片输出经与非门后 $Y_2Y_1Y_0=110$, 由于低位片 $GS=0$, 故 $Y_3Y_2Y_1Y_0=0110$ 。

4.3 译码器

“译码”是编码的逆过程, 编码是将输入信号转换成二进制代码, 而译码是将二进制代码翻译成特定输出信号的过程。能完成译码功能的电路称为译码器。常见的译码器有二进制译码器、二-十进制译码器和显示译码器等。

4.3.1 二进制译码器

1. 二进制译码器工作原理

二进制译码器是一种能将不同组合的二进制代码译成相应输出信号的电路。下面以 2

位二进制译码器为例来说明二进制译码器的工作原理。

2 位二进制译码器框图如图 4-8 所示，其真值表见表 4-5。

当 $AB=00$ 时，译码器 Y_0 端输出 “1”， Y_1 、 Y_2 、 Y_3 均为 “0”；

当 $AB=01$ 时，译码器 Y_1 端输出 “1”， Y_0 、 Y_2 、 Y_3 均为 “0”；

当 $AB=10$ 时，译码器 Y_2 端输出 “1”， Y_0 、 Y_1 、 Y_3 均为 “0”；

当 $AB=11$ 时，译码器 Y_3 端输出 “1”， Y_0 、 Y_1 、 Y_2 均为 “0”。

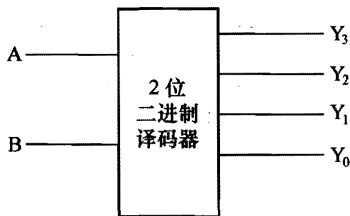


图 4-8 2 位二进制译码器框图

表 4-5 2 位二进制译码器真值表

输 入		输 出				输 入		输 出			
A	B	Y_3	Y_2	Y_1	Y_0	A	B	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1	1	0	0	1	0	0
0	1	0	0	1	0	1	1	1	0	0	0

通过上面的过程了解二进制译码器后，下面再来分析 2 位二进制编码器的电路工作原理。2 位二进制译码器的电路结构如图 4-9 所示。

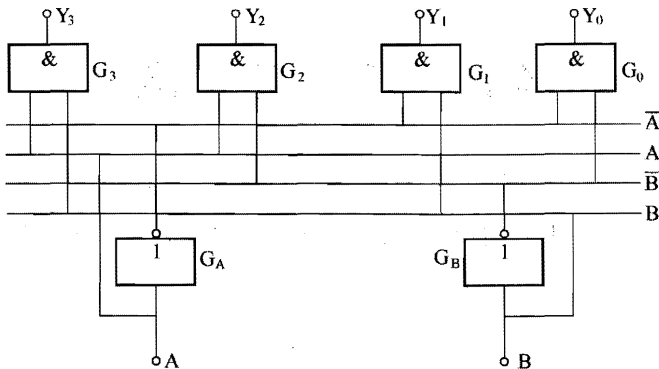


图 4-9 2 位二进制译码器电路结构

当 $A=0$ 、 $B=0$ 时，非门 G_A 输出 “1”，非门 G_B 输出 “1”，与门 G_3 两个输入端同时输入 “0”，故输出端 $Y_3=0$ ；与门 G_2 两个输入端一个为 “0”，另一个为 “1”，输出端 $Y_2=0$ ；



与门 G_1 两个输入端一个为“0”，另一个为“1”，输出端 $Y_1=0$ ；与门 G_0 两个输入端同时输入“1”，故输出端 $Y_0=1$ 。也就是说，当 $AB=00$ 时，只有 Y_0 输出为“1”。

当 $A=0$ 、 $B=1$ 时，非门 G_A 输出“1”，非门 G_B 输出“0”，与门 G_3 两个输入端一个为“0”，另一个为“1”，输出端 $Y_3=0$ ；与门 G_2 两个输入端同时输入“0”，输出端 $Y_2=0$ ；与门 G_1 两个输入端同时输入“1”，输出端 $Y_1=1$ ；与门 G_0 两个输入端一个为“0”，另一个为“1”，输出端 $Y_0=0$ 。也就是说，当 $AB=01$ 时，只有 Y_1 输出为“1”。

当 $A=1$ 、 $B=0$ 时，只有 $Y_2=1$ ；当 $A=1$ 、 $B=1$ 时，只有 $Y_3=1$ ；分析过程与上述过程相同，这里不再叙述。

2 位二进制译码器可以将 2 位代码译成 4 种输出状态，故又称 2 线-4 线译码器，而 n 位二进制译码器可以译成 2^n 种输出状态。

2. 3 线-8 线译码器芯片

74LS138 是一种常用的 3 线-8 线译码器芯片，其各引脚功能如图 4-10 所示。74LS138 有 3 个译码输入端 (A 、 B 、 C)、8 个译码输出端 ($Y_0 \sim Y_7$) 和 3 个使能端 (G_{2A} 、 G_{2B} 、 G_1)。74LS138 的真值表见表 4-6。

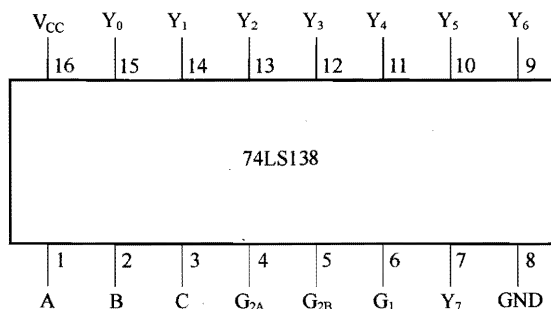


图 4-10 3 线-8 线译码器芯片 74LS138 的各引脚功能

表 4-6 74LS138 的真值表

输 入					输 出							
使 能		选 择										
G_1	G_2	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H

续表

输 入					输 出							
使 能		选 择										
G_1	G_2^*	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* $G_2=G_{2A}+G_{2B}$

从表不难看出：

① 当 $G_1=L$ 或 $G_2=H$ ($G_2=G_{2A}+G_{2B}$) 时，C、B、A 端无论输入何值，输出端均为 H。即 $G_1=L$ 或 $G_2=H$ 时，译码器无法译码。

② 当 $G_1=H$ 、 $G_2=L$ 时，译码器允许译码，当 C、B、A 端输入不同的代码时，相应的输出端会输出低电平，如 CBA=001 时， Y_1 端会输出低电平（其他输出端均为高电平）。

3. 4 线-16 线译码器

图 4-11 所示是由两片 74LS138 芯片组成的 4 线-16 线译码器，当 $D_3 \sim D_0$ 端输入不同的 4 位二进制代码时，经译码后，会从 $Z_{15} \sim Z_0$ 相应端输出低电平。

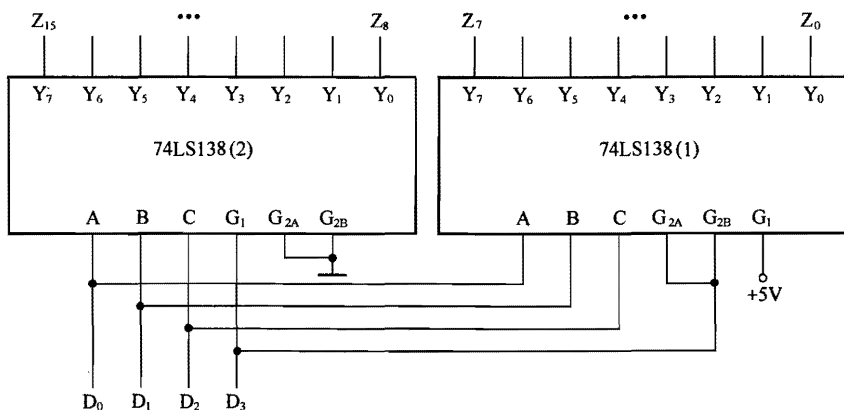


图 4-11 由两片 74LS138 芯片组成的 4 线-16 线译码器

该译码器的工作原理说明如下：

当 $D_3=0$ 时，第 2 片 74LS138 的 $G_1=0$ ，该片禁止译码， $Z_{15} \sim Z_8$ 端全为 1，第 1 片 74LS138 的 $G_2=0$ ($G_2=G_{2A}+G_{2B}=0+0=0$)、 $G_1=1$ ，该片允许译码。



例如在 $D_3D_2D_1D_0=0101$ 时, 第 2 片 74LS148 禁止译码, 第 1 片 74LS148 的 $ABC=101$, Y_5 端输出低电平, 即 $Z_5=0$ 。

当 $D_3=1$ 时, 第 2 片 74LS138 的 $G_1=1$ 、 $G_2=0$, 该片允许译码, 第 1 片 74LS138 的 $G_2=1$, 该片禁止译码。

例如在 $D_3D_2D_1D_0=1101$ 时, 第 1 片 74LS138 禁止译码, 第 2 片 74LS138 的 $ABC=101$, 该片的 Y_5 端输出低电平, 即 $Z_{13}=0$ 。

4.3.2 二-十进制译码器

二-十进制译码器的功能是将 8421BCD 码中的 10 个代码译成 10 个相应的输出信号。

1. 结构与原理

二-十进制译码器电路结构如图 4-12 所示, 其真值表见表 4-7。

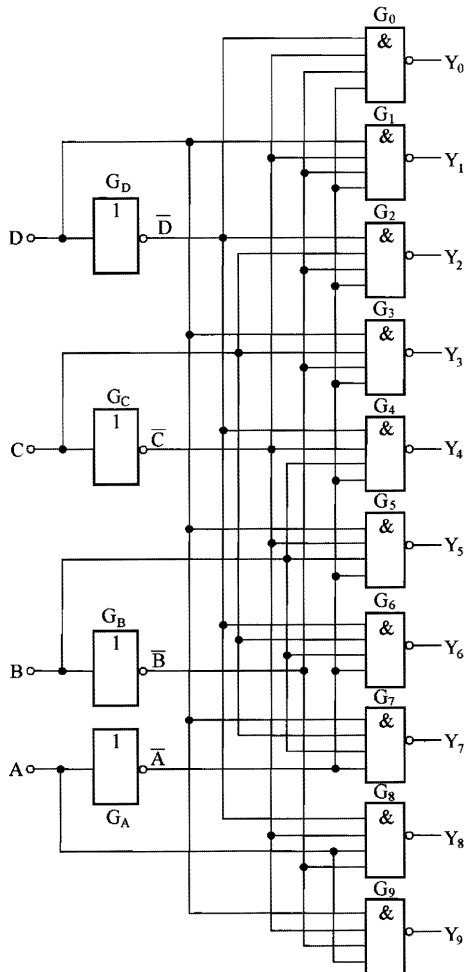


图 4-12 二-十进制译码器



表 4-7 二-十进制译码器的真值表

输 入				输 出										十进制数
A	B	C	D	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉	
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
0	0	0	1	1	0	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1	2
0	0	1	1	1	1	1	0	1	1	1	1	1	1	3
0	1	0	0	1	1	1	1	0	1	1	1	1	1	4
0	1	0	1	1	1	1	1	1	0	1	1	1	1	5
0	1	1	0	1	1	1	1	1	1	0	1	1	1	6
0	1	1	1	1	1	1	1	1	1	1	0	1	1	7
1	0	0	0	1	1	1	1	1	1	1	1	0	1	8
1	0	0	1	1	1	1	1	1	1	1	1	1	0	9
1	0	1	0	1	1	1	1	1	1	1	1	1	1	伪码
1	0	1	1	1	1	1	1	1	1	1	1	1	1	伪码
1	1	0	0	1	1	1	1	1	1	1	1	1	1	伪码
1	1	0	1	1	1	1	1	1	1	1	1	1	1	伪码
1	1	1	0	1	1	1	1	1	1	1	1	1	1	伪码
1	1	1	1	1	1	1	1	1	1	1	1	1	1	伪码

工作原理说明如下：

当输入二进制代码 $ABCD=0000$ 时，非门 G_A 、 G_B 、 G_C 、 G_D 输出都为“1”，与非门 G_0 4 个输入端都为“1”，故 G_0 输出端 $Y_0=0$ ，该端代表十进制数“0”，其他的与非门 $G_1\sim G_9$ 都至少有一个输入为“0”，所以 $G_1\sim G_9$ 都输出“1”。注：该译码器输出端为“1”表示无输出，而输出端为“0”表示有输出。

当输入二进制代码 $ABCD=0011$ 时，非门 G_A 、 G_B 输出都为“1”，非门 G_C 、 G_D 输出都为“0”，与非门 G_3 4 个输入端都为“1”，故 G_3 输出端 $Y_3=0$ ，该端代表十进制数 3，其他的与非门 G_0 、 G_1 、 G_2 、 $G_4\sim G_9$ 都至少有 1 个输入为“0”，所以 G_0 、 G_1 、 G_2 、 $G_4\sim G_9$ 都输出“1”。

当输入二进制代码 $ABCD=1010$ 时，非门 G_A 、 G_C 输出都为“0”，非门 G_B 、 G_D 输出都为“1”，与非门 $G_0\sim G_9$ 都至少有 1 个输入为“0”， $G_0\sim G_9$ 都输出“1”。也就是说，当二-十进制译码器输入 1010 时，译码器无输出。实际上，当 $ABCD$ 为 1010、1011、1100、1101、



1110、1111 时，译码器都无输出，这些代码称之为伪码。

2. 常用的二-十进制译码器芯片

74LS42 是一种常用的二-十进制译码器芯片，其各引脚功能如图 4-13 所示，其真值表见表 4-8。

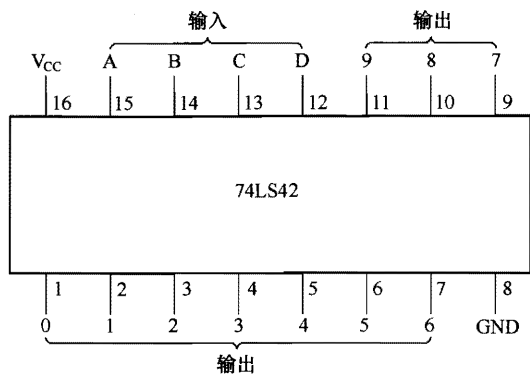


图 4-13 二-十进制译码器芯片 74LS42 的各引脚功能

表 4-8 74LS42 的真值表

BCD 码输入				译码输出										对应十进制数
D	C	B	A	0	1	2	3	4	5	6	7	8	9	
L	L	L	L	L	H	H	H	H	H	H	H	H	H	0
L	L	L	H	H	L	H	H	H	H	H	H	H	H	1
L	L	H	L	H	H	L	H	H	H	H	H	H	H	2
L	L	H	H	H	H	H	L	H	H	H	H	H	H	3
L	H	L	L	H	H	H	H	L	H	H	H	H	H	4
L	H	L	H	H	H	H	H	H	L	H	H	H	H	5
L	H	H	L	H	H	H	H	H	H	L	H	H	H	6
L	H	H	H	H	H	H	H	H	H	H	L	H	H	7
H	L	L	L	H	H	H	H	H	H	H	H	L	H	8
H	L	L	H	H	H	H	H	H	H	H	H	H	L	9
H	L	H	L	H	H	H	H	H	H	H	H	H	H	伪码
H	L	H	H	H	H	H	H	H	H	H	H	H	H	
H	H	L	L	H	H	H	H	H	H	H	H	H	H	
H	H	L	H	H	H	H	H	H	H	H	H	H	H	
H	H	H	L	H	H	H	H	H	H	H	H	H	H	
H	H	H	H	H	H	H	H	H	H	H	H	H	H	



4.3.3 数码显示器与显示译码器

数码显示器的功能是在显示译码器送来的信号驱动下直观显示十进制数码。显示译码器的功能是将输入二进制代码译成一定的输出信号，让该信号驱动显示器显示与输入代码相对应的字符。

1. 数码显示器

数码显示器用来显示十进制数码。七段数码显示器是一种最常见的数码显示器，它可分为半导体数码显示器、荧光数码显示器和液晶数码显示器等。

(1) 七段半导体数码显示器

① 结构与原理。七段半导体数码显示器又称七段数码管，它采用 7 个半导体发光二极管（LED），它将 a、b、c、d、e、f、g 共 7 个发光二极管排成图 4-14 所示的“E”字形，这种显示器采用七段组合来显示 0~9 数字。七段半导体数码显示器外形如图 4-15 所示。

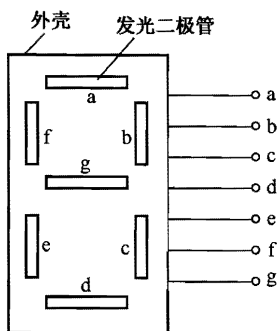


图 4-14 七段数码显示器七段排列图

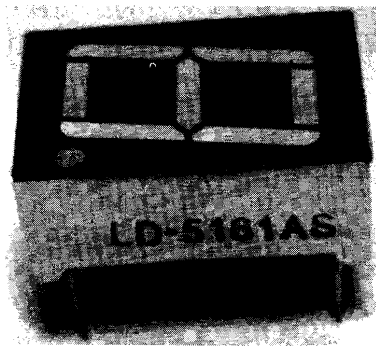


图 4-15 七段半导体数码显示器外形

由于 7 个发光二极管共有 14 个引脚，为了减少显示器的引脚数，在显示器内部将

7 个发光二极管正极或负极引脚连接起来，接成一个公共端，根据公共端是发光二极管正极还是负极，可分为共阳极接法（正极相连）和共阴极接法（负极相连），如图 4-16 所示。

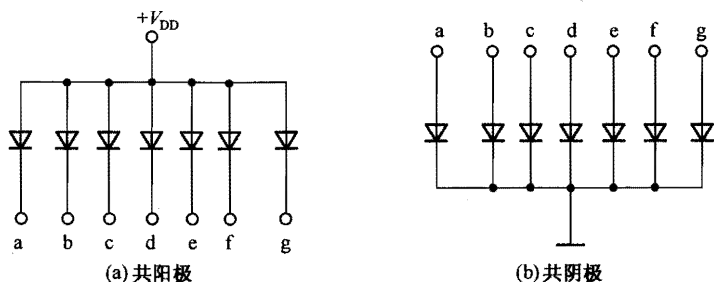


图 4-16 半导体数码显示器内部发光二极管的连接方式

对于共阳极接法的显示器，需要给发光二极管加低电平才能发光；而对于共阴极接法的显示器，需要给发光二极管加高电平才能发光。假设图 4-14 是一个共阴极接法的显示器，如果让它显示一个“5”字，那么需要给 a、c、d、f、g 引脚加高电平（即这些引脚为 1），b、e 引脚加低电平（即这些引脚为 0），这样 a、c、d、f、g 段的发光二极管有电流通过而发光，b、e 段的发光二极管不发光，显示器就会显示出数字“5”。

② 检测。实际的七段数码管有 10 个引脚，分作两排，每排中间的一个引脚为公共引脚 com，其他 8 个引脚分别为 a、b、c、d、e、f、g 和小数点。在安装数码管前，先要检测该数码管极性（共阳极或共阴极），再检测各引脚对应的段位。

在检测七段数码管极性时，万用表选择 $\times 10\text{k}\Omega$ 挡，黑表笔接 com 引脚（公共引脚），红表笔接 com 引脚外的任意一脚，如图 4-17 所示，若测得阻值小，则该数码管为共阳极，若测得阻值接近无穷大则为共阴极。

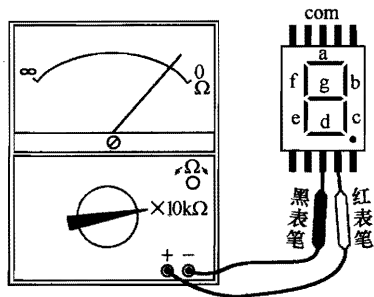


图 4-17 七段数码管的检测

七段数码管引脚与内部段位对应关系检测与极性检测基本相同，对于共阳极数码管，万用表选择 $\times 10\text{k}\Omega$ 挡，黑表笔接 com 引脚，红表笔接其他某个引脚，这时会发现数码管

某段会有微弱的亮光，如 a 段有亮光，表明红表笔接的引脚与 a 段负极连接；对于共阴极数码管，万用表仍选择 $\times 10\text{k}\Omega$ 挡，红表笔接 com 引脚，黑表笔接其他某个引脚，会发现数码管某段会有微弱的亮光，则黑表笔接的引脚与该段正极连接。

（2）荧光数码显示器

荧光数码显示器常用在一些家用电器中（如影碟机、录像机和音响设备），用来显示机器的状态和时间等。荧光数码显示器有 1 位荧光数码显示器和多位荧光数码显示器。

① 1 位荧光数码显示器。荧光数码显示器是一种真空器件，1 位荧光数码显示器的结构示意图如图 4-18 所示。它内部有灯丝、栅极（控制极）和 a、b、c、d、e、f、g 7 个阳极，这 7 个阳极上都涂有荧光粉并排列成“8”字样，灯丝的作用是发射电子，栅极处于灯丝和阳极之间，灯丝发射出来的电子能否到达阳极受栅极的控制，阳极上涂有荧光粉，当电子轰击荧光粉时，阳极上的荧光粉发光。

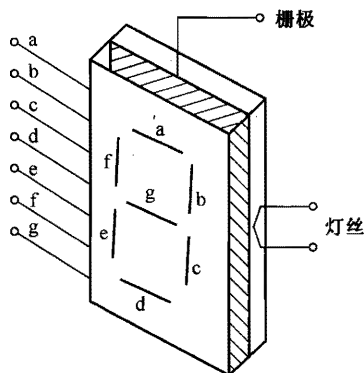


图 4-18 1 位荧光数码显示器结构示意图

在荧光数码显示器工作时，要给灯丝提供约 6.3V 的交流电压，灯丝发热后才能发射电子，栅极要加上较高的电压才能吸引电子，让它穿过栅极并往阳极方向运动。电子要轰击某个阳极，该阳极必须有高电压。

当要显示“3”字样时，译码器给荧光数码显示器的 a、b、c、d、e、f、g 7 个阳极分别送 1、1、1、1、0、0、1，即给 a、b、c、d、g 5 个阳极送高电压，另外给栅极也加上高电压，于是灯丝发射的电子穿过栅极后轰击加有高电平的 a、b、c、d、g 阳极，由于这些阳极上涂有荧光粉，在电子的轰击下，这些阳极发光，显示器显示“3”的字样。

② 多位荧光数码显示器。1 位荧光数码显示器能显示 1 位数字，当需要同时显示多位数字时就要用到多位荧光数码显示器。下面以 4 位荧光数码显示器为例来说明其工作原理。4 位荧光数码显示器的结构示意图如图 4-19 所示。

4 位荧光数码显示器有 A、B、C、D 4 个位区，每个位区可以看成是 1 位荧光数码显



示器，每个位区都有单独的栅极、灯丝和 a、b、c、d、e、f、g 7 个阳极。4 个位区的栅极引出脚分别为 G_1 、 G_2 、 G_3 、 G_4 ；每个位区的灯丝在内部以并联的形式连接起来，对外只引出两个引脚；每个位区相应各段的阳极都连接在一起，再与外面的引脚相连，例如 D 位区的阳极 a 与 C、B、A 位内的阳极 a 都连接起来，再与显示器外引脚 a 连接。

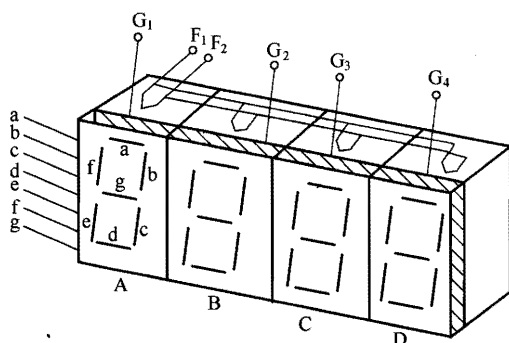


图 4-19 4 位荧光数码显示器结构示意图

多位荧光数码显示器采用了扫描显示原理。为了让大家理解这种显示原理，这里以在图 4-19 所示显示器上显示“1278”这 4 位数为例来说明。

首先给灯丝引脚 F_1 、 F_2 通电，再给 G_1 引脚加一个高电平，此时 G_2 、 G_3 、 G_4 均为低电平，然后分别给 b、c 引脚加高电平。灯丝通电发热后发射电子，电子穿过 G_1 栅极轰击 A 位阳极 b、c，这两个电极的荧光粉发光，在 A 位显示“1”字样，这时虽然 b、c 引脚的电压也会加到 B、C、D 位的阳极 b、c 上，但因为 B、C、D 位的栅极为低电平，这些位的灯丝发射的电子无法穿过栅极轰击阳极，故 B、C、D 位无显示；接着给 G_2 脚加高电平，此时 G_1 、 G_3 、 G_4 引脚均为低电平，再给阳极 a、b、d、e、g 加高电平，灯丝发射的电子轰击 B 位阳极 a、b、d、e、g，这些阳极发光，在 B 位显示“2”字样。同样原理，在 C 位和 D 位分别显示“7”、“8”字样。

显示器的数字虽然是一位一位地显示出来的，但由于荧光粉的余辉效应（所谓余辉效应是指荧光粉发光后，即使无电子轰击光亮还保持一定时间）和人眼视觉暂留特性（所谓视觉暂留特性是指当人眼看见一个物体后，如果物体消失，人眼还会觉得物体仍在原位置，这种感觉约保留 0.04s 的时间），当显示器显示最后 1 位数字“8”时，人眼会感觉前面 3 位数字还在显示，故看起来好像是一下子显示“1278”4 位数。

（3）液晶数码显示器

液晶数码显示器的主要材料是液态晶体，简称液晶，它是一种有机材料，这种材料在一个特定的温度范围内既有液体的流动性，又有晶体的某些光学特性，其透明度和颜色随电场、磁场、光和温度等外界条件变化而变化。**液晶数码显示器是利用液晶在电场作用下光学性能变化的特性制成的。**

液晶数码显示器的结构如图 4-20 所示，它是将液晶材料封装在两块玻璃之间，在上玻璃内表面涂上“3”字形的 7 段透明导电层，在下玻璃内表面整个涂上导电层（反射层）。

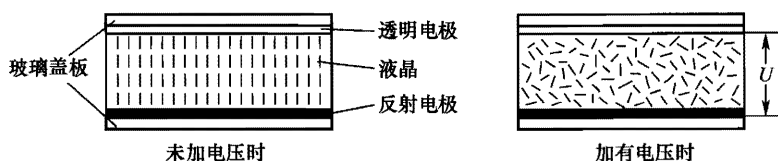


图 4-20 液晶显示器结构

当给液晶显示器正面（也即上面）玻璃板上的某段电极与下面玻璃的导电层之间加上适当大小的电压时，该段电极与下玻璃导电层所夹持的液晶会产生“散射效应”，夹持的液晶不透明，就会显示出该段形状。例如给下玻璃层的导电层加一个低电压，而给上玻璃层的 a、b 段透明导电电极加高电压，这两段电极与下玻璃上的导电层存在电压差，它们中间夹持的液晶特性改变，a、b 段下面液晶变为不透明，显示“1”字样。

液晶显示器工作时不需要电流，耗电很少，但由于本身不发光，所以需借助外界光源照射显示数码。

半导体数码显示器工作电压低、字形清晰、体积小、寿命长；荧光数码显示器字形清晰，工作电压较低且驱动电流不大，但工作时由于需要灯丝发热，故功耗很大；液晶数码显示器工作电压和电流都很小，制作工艺简单、体积小，但清晰度较低。

2. 显示译码器

显示译码器的功能是将输入的二进制代码译成一定的输出信号，让输出信号驱动显示器来显示与输入代码相对应的字符。显示译码器种类很多，这里介绍 BCD-七段显示译码器，它可以将 BCD 码译成一定的输出信号，该信号能驱动七段数码显示器显示与 BCD 码对应的十进制数。

（1）常用的 BCD-七段显示译码器芯片

74LS48 是一种常用的 BCD-七段显示译码器芯片，其各引脚功能如图 4-21 所示，其真值表见表 4-9。

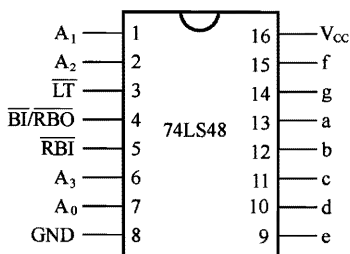


图 4-21 74LS48 芯片的各引脚功能



表 4-9 74LS48 的真值表

十进制数	控 制			输 入				输 出							字形
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	$\overline{\text{BI/RBO}}$	A_3	A_2	A_1	A_0	a	b	c	d	e	f	g	
0	H	H	H	L	L	L	L	H	H	H	H	H	H	L	0
1	H	x	H	L	L	L	H	L	H	H	L	L	L	L	1
2	H	x	H	L	L	H	L	H	H	L	H	H	L	H	2
3	H	x	H	L	L	H	H	H	H	H	H	L	L	H	3
4	H	x	H	L	H	L	L	L	H	H	L	L	H	H	4
5	H	x	H	L	H	L	H	H	L	H	H	L	H	H	5
6	H	x	H	L	H	H	L	L	L	H	H	H	H	H	6
7	H	x	H	L	H	H	H	H	H	H	L	L	L	L	7
8	H	x	H	H	L	L	L	H	H	H	H	H	H	H	8
9	H	x	H	H	L	L	H	H	H	H	L	L	H	H	9
10	H	x	H	H	L	H	L	L	L	L	H	H	L	H	c
11	H	x	H	H	L	H	H	L	L	H	H	L	L	H	>
12	H	x	H	H	H	L	L	L	H	L	L	L	H	H	u
13	H	x	H	H	H	L	H	H	L	L	H	L	H	H	E
14	H	x	H	H	H	H	L	L	L	L	H	H	H	H	z
15	H	x	H	H	H	H	H	L	L	L	L	L	L	L	全暗
	x	x	L	x	x	x	x	L	L	L	L	L	L	L	全暗
	H	L	L	L	L	L	L	L	L	L	L	L	L	L	全暗
	L	x	H	x	x	x	x	H	H	H	H	H	H	H	8

74LS48 有 3 类端子：输入端、输出端和控制端。 $A_3 \sim A_0$ 为输入端，用来输入 8421BCD 码； $a \sim g$ 为输出端，芯片对输入的 BCD 码译码后，会从 $a \sim g$ 端输出相应的信号，来驱动七段显示器显示与 BCD 码对应的十进制数。 $\overline{\text{LT}}$ 、 $\overline{\text{RBI}}$ 和 $\overline{\text{BI/RBO}}$ 为控制端。

$\overline{\text{LT}}$ 端为灯测试输入端。只要 $\overline{\text{LT}}=0$ ，就可以使 $a \sim g$ 端输出全为高电平，将七段显示器所有段全部点亮，以检查显示器各段显示是否正常。

$\overline{\text{RBI}}$ 端为灭零输入端。当多位七段显示器显示多位数字时，利用该端 $\overline{\text{RBI}}=0$ 可以将不希望显示的“0”熄灭，如 8 位七段显示器显示数字“12.3”，如果不灭零，会显示“0012.3000”，



灭零后则显示“12.3”，使显示更醒目。

$\overline{\text{BI}}/\overline{\text{RBO}}$ 端为灭灯输入/灭零输出端，它是一个双功能端子。当 $\overline{\text{BI}}/\overline{\text{RBO}}$ 端用作输入端使用时，称灭灯输入控制端，只要 $\overline{\text{BI}}/\overline{\text{RBO}}=0$ ，无论 A_3 、 A_2 、 A_1 、 A_0 输入什么， $a\sim g$ 端输出全为低电平，使七段显示器的各段同时熄灭。当 $\overline{\text{BI}}/\overline{\text{RBO}}$ 作为输出端使用时，称灭零输出端。当 $A_3A_2A_1A_0=0000$ 且有灭零信号输入（ $\overline{\text{RBI}}=0$ ）时，该端会输出低电平，表示译码器已进行了灭零操作。

（2）1 位译码显示电路

图 4-22 所示是一个由 74LS48 芯片和 BS202 型共阴极半导体数码管组成的 1 位译码显示电路。

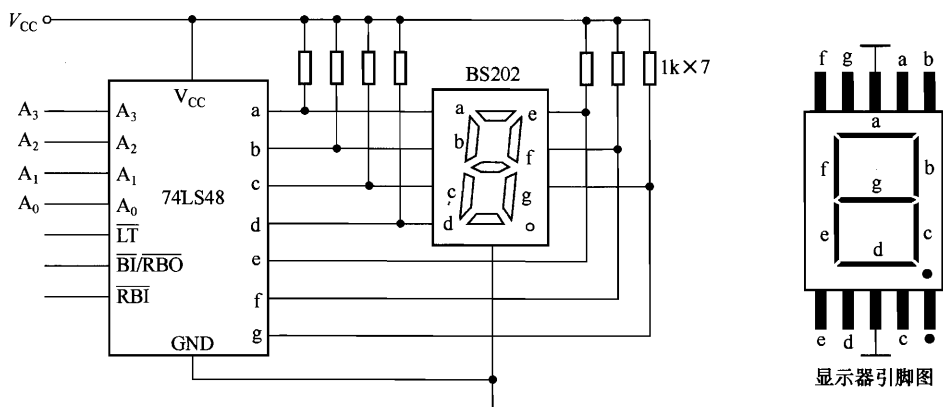


图 4-22 由 74LS48 芯片和共阴极数码管组成的 1 位译码显示电路

如果要检测数码管各段是否显示正常，可让 $\overline{\text{LT}}=0$ ，74LS48 芯片的 $a\sim g$ 端输出全为高电平，数码管各段同时点亮。若某段不显示，而芯片相应输出端又为高电平，则为数码管该段有故障。

当 $A_3A_2A_1A_0=0000$ 时，74LS48 芯片的 $a\sim f$ 端输出为高电平， g 端为低电平，数码管显示“0”，如果要将该“0”熄灭，可让 $\overline{\text{RBI}}=0$ ，芯片 $a\sim g$ 端输出全为低电平。

在数码管显示任何数字时，若让 $\overline{\text{BI}}/\overline{\text{RBO}}=0$ ，74LS48 芯片 $a\sim g$ 端输出全变为低电平，数码管原先显示的数字将消失。

当 $A_3A_2A_1A_0=0000$ 且 $\overline{\text{RBI}}=0$ （有灭零信号输入）时，74LS48 芯片 $a\sim g$ 端输出全为低电平，同时 $\overline{\text{BI}}/\overline{\text{RBO}}$ 会输出低电平，表示译码器已进行了灭零操作。

在正常工作时，可将 $\overline{\text{LT}}$ 、 $\overline{\text{RBI}}$ 和 $\overline{\text{BI}}/\overline{\text{RBO}}$ 三端连接在一起，并接高电平，数码管的显示会随 $A_3A_2A_1A_0$ 的变化而变化。

（3）多位译码显示电路

图 4-23 所示是一个由 74LS48 芯片和半导体数码管组成的 8 位译码显示电路。该电路



将 74LS48 的灭零输入端与灭零输出端配合使用, 来实现多位数码显示控制。

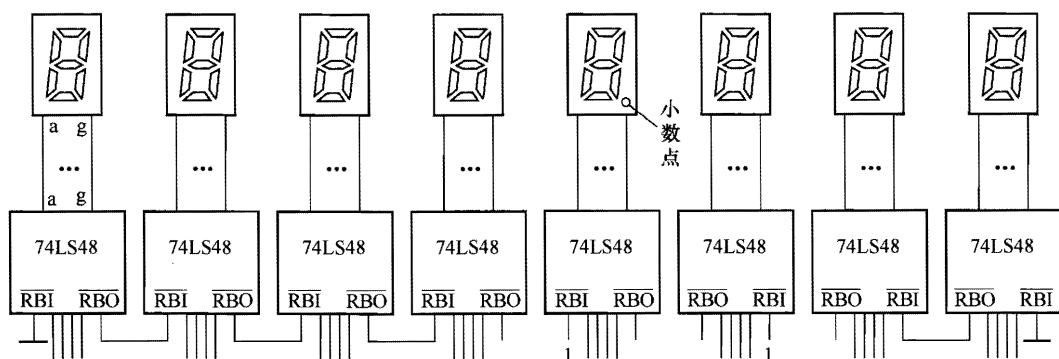


图 4-23 由 74LS48 芯片和半导体数码管组成的 8 位译码显示电路

在使用时, 只需在整数部分将高位的 $\overline{\text{RBO}}$ 与低位的 $\overline{\text{RBI}}$ 相连, 而在小数部分将低位的 $\overline{\text{RBO}}$ 与高位的 $\overline{\text{RBI}}$ 相连, 就可以把前后多余的零熄灭。下面以显示“00381.560”为例进行说明。

在整数部分, 最高位 74LS48 输入为 0000 且灭零端 $\overline{\text{RBI}}=0$ ($\overline{\text{RBI}}$ 接地), 最高位数码管灭零, 同时最高位 74LS48 的灭零输出端 $\overline{\text{RBO}}=0$, 它使次高位 74LS48 的 $\overline{\text{RBI}}=0$, 因为次高位 74LS48 的输入也为 0000, 故次高位数码管也被灭零, 次高位 74LS48 的灭零输出端 $\overline{\text{RBO}}=0$, 它使第 3 高位 74LS48 的 $\overline{\text{RBI}}=0$, 但因第 3 高位 74LS48 输入不为 0000 (为 0011), 故第 3 高位数码管正常显示“3”。

在小数部分, 最低位 74LS48 输入为 0000 且灭零端 $\overline{\text{RBI}}=0$ ($\overline{\text{RBI}}$ 接地), 最低位数码管灭零, 同时最低位 74LS48 的灭零输出端 $\overline{\text{RBO}}=0$, 它使次低位 74LS48 的 $\overline{\text{RBI}}=0$, 但因次低位 74LS48 输入不为 0000 (为 0110), 故次低位数码管正常显示“6”。

4.4 数码管译码控制器的电路原理与实验

数码管译码控制器是一种将 8421BCD 码进行译码并驱动七段数码管显示数字 0~9 的电路, 该控制器还能对数码管进行试灯、灭灯和灭零控制。

4.4.1 电路原理

图 4-24 所示为数码管译码控制器的电路原理图。在电路中, 5161BS 为共阳极七段数码管, 74LS47 为 BCD-七段显示译码器芯片, 表 4-10 为 74LS47 的真值表。S_{RBI} 为灭零按钮, S_{LT} 为试灯按钮, S_{BI/RBO} 为灭灯输入/灭零输出按钮, 这 3 个按钮在未按下时,

74LS47 的 $\overline{\text{LT}}$ 、 $\overline{\text{RBI}}$ 和 $\overline{\text{BI/RBO}}$ 引脚均为高电平； $\text{S}_0 \sim \text{S}_3$ 按钮分别为 74LS47 的 $\text{A}_0 \sim \text{A}_3$ 引脚提供输入信号，按钮未按下时，输入为低电平，按下时输入为高电平。

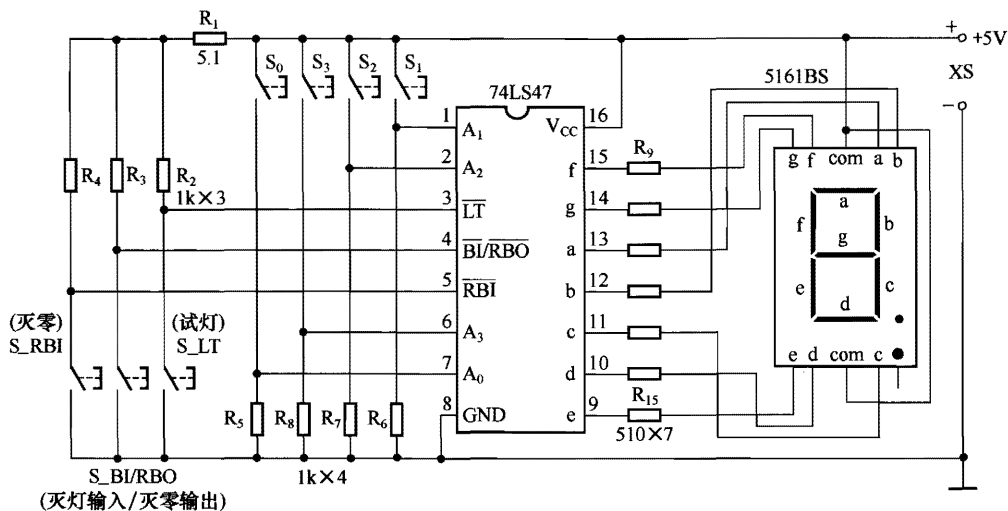


图 4-24 数码管译码控制器的电路原理图

表 4-10 74LS47 真值表

十进制数	输入及控制							输出						
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	A_3	A_2	A_1	A_0	$\overline{\text{BI/RBO}}$	a	b	c	d	e	f	g
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H
1	H	×	L	L	L	H	H	H	L	L	H	H	H	H
2	H	×	L	L	H	L	H	L	L	H	L	L	H	L
3	H	×	L	L	H	H	H	L	L	L	L	H	H	L
4	H	×	L	H	L	L	H	H	L	L	H	H	L	L
5	H	×	L	H	L	H	H	L	H	L	L	H	L	L
6	H	×	L	H	H	L	H	H	H	L	L	L	L	L
7	H	×	L	H	H	H	H	L	L	L	H	H	H	H
8	H	×	H	L	L	L	H	L	L	L	L	L	L	L
9	H	×	H	L	L	H	H	L	L	L	H	H	L	L
10	H	×	H	L	H	L	H	H	H	H	L	L	H	L
11	H	×	H	L	H	H	H	H	H	L	L	H	H	L
12	H	×	H	H	L	L	H	H	L	H	H	H	L	L
13	H	×	H	H	L	H	H	L	H	H	L	H	L	L



续表

十进制数	输入及控制							输 出						
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	A_3	A_2	A_1	A_0	$\overline{\text{BI}}/\overline{\text{RBO}}$	a	b	c	d	e	f	g
14	H	×	H	H	H	L	H	H	H	H	L	L	L	L
15	H	×	H	H	H	H	H	H	H	H	H	H	H	H
$\overline{\text{BI}}$	×	×	×	×	×	×	L	H	H	H	H	H	H	H
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H
$\overline{\text{LT}}$	L	×	×	×	×	×	H	L	L	L	L	L	L	L

4.4.2 实验操作

- 根据数码管译码控制器电路原理图和 74LS47 真值表分析下面的实验操作结果。
- 第一步：将数码管译码控制器与 5V 电源连接好，数码管显示的字形为_____。
- 第二步：按下按键 S_0 ，数码管显示字形为_____。
- 第三步：按下按键 S_1 、 S_0 ，数码管显示字形为_____。
- 第四步：按下按键 S_2 ，数码管显示字形为_____。
- 第五步：按下按键 S_2 、 S_0 ，数码管显示字形为_____。
- 第六步：按下按键 S_3 、 S_1 ，数码管显示字形为_____。
- 第七步：按下按键 S_3 、 S_2 、 S_1 、 S_0 ，数码管显示字形为_____。
- 第八步：按下按键 $S_{\overline{\text{LT}}}$ ，数码管显示字形为_____。
- 第九步：按下按键 $S_{\overline{\text{RBI}}}$ ，数码管显示字形为_____。
- 第十步：按下按键 $S_{\overline{\text{BI}}/\overline{\text{RBO}}}$ ，数码管显示字形为_____。

4.5 加 法 器

计算机等数字电子设备最基本的任务是进行算术运算，数字电子设备中的加、减、乘、除四则运算都是分解成加法运算进行的，所以加法器是数字电子设备中最基本的运算单元。加法器又分半加器和全加器。

4.5.1 半加器

两个 1 位二进制数相加运算，称为半加，实现半加运算功能的电路称为半加器。半加



器可以由一个异或门和一个与门组成，如图 4-25（a）所示；也可以由一个异或门、一个与非门及一个非门组成，如图 4-25（b）所示。半加器的图形符号如图 4-25（c）所示，其中 A、B 表示加数，S 表示半加和，C 表示进位数。

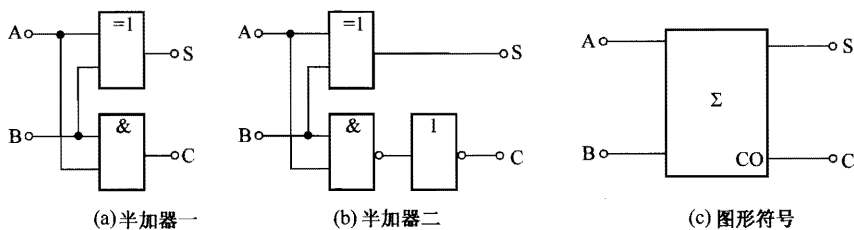


图 4-25 半加器

下面以图 4-25（a）所示的半加器为例来说明其工作原理。

当 A 端输入“0”，B 端输入“1”时，异或门的 S 端输出“1”（异或门的功能是输入相同时输出为“0”，输入相异时输出为“1”），而与门的 C 端输出“0”，即“0+1=1”。

当 A、B 端都输入“1”时，异或门的 S 端输出“0”，与门的 C 端输出“1”，即“1+1=10”。A、B 端其他的输入情况不再叙述，请读者自己分析。半加器的真值表见表 4-11。

表 4-11 半加器的真值表

输 入		输 出		输 入		输 出	
A	B	S	C	A	B	S	C
0	0	0	0	1	0	1	0
0	1	1	0	1	1	0	1

4.5.2 全加器

在实际的二进制加法运算中，经常会遇到多位数相加的情况，例如两位数 11+01 的运算，两个数的低位 1 和 1 相加时会产生进位 1，而两个数的高位除了要进行 1+0 外，还要加上低位的进位数 1，这是半加器无法完成的，需要由全加器来完成。

全加是带进位的加法运算，它除了要将两个同位数相加外，还要加上低位送来的进位数。全加器是用来实现全加运算的电路。全加器具有 3 个输入端：加数 A、B 和低位来的进位数 C_{n-1} ；两个输出端：和数 S_n 和向高位进位数 C_n 。全加器由两个半加器和一个或门组成，如图 4-26（a）所示，全加器的图形符号如图 4-26（b）所示。

下面来分析图 4-26（a）所示全加器的工作原理。

A、B 为两个加数， C_{n-1} 为低位来的进位数， S_n 为和数， C_n 为高位进位数， Σ_1 和 Σ_2



均为半加器。

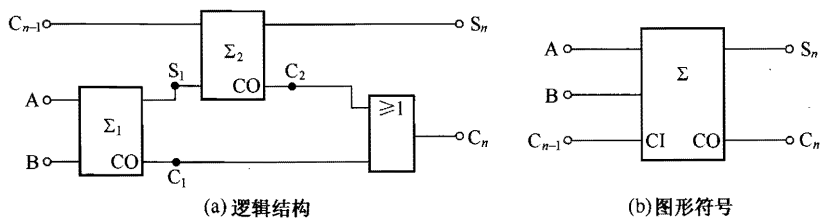


图 4-26 全加器

当 A 端输入“1”、B 端输入“0”、 C_{n-1} 端输入“0”（即低位无进位）时，半加器 Σ_1 的进位 C_1 端输出“0”去或门，和数 S_1 端输出“1”去半加器 Σ_2 的一个输入端，同时低位进位数 C_{n-1} 的“0”送到半加器 Σ_2 的另一个输入端，结果半加器 Σ_2 的和数 S_n 端输出“1”，进位 C_2 端输出“0”。 $C_1=0$ 和 $C_2=0$ 送到或门的输入端，或门 C_n 端输出“0”。即当 A 端输入“1”、B 端输入“0”、 C_{n-1} 端输入“0”时，全加器的 $S_n=1$ ，高位进位数 $C_n=0$ 。

当 $A=1$ 、 $B=1$ 、低位进位数 $C_{n-1}=1$ （即低位有进位数）时，半加器 Σ_1 的和数端 $S_1=0$ ，进位输出端 $C_1=1$ 。 $S_1=0$ 和 $C_{n-1}=1$ 送到半加器 Σ_2 输入端，半加器 Σ_2 的和数端 $S_n=1$ ，进位数端 $C_2=0$ 。 $C_2=0$ 和 $C_1=1$ 去或门，或门输出端 C_n 为“1”。即当 $A=1$ 、 $B=1$ 、低位进位数 $C_{n-1}=1$ 时，全加器的 $S_n=1$ ，高位进位数 $C_n=1$ 。

全加器的真值表见表 4-12。

表 4-12 全加器的真值表

输 入			输 出		输 入			输 出	
A	B	C_{n-1}	S_n	C_n	A	B	C_{n-1}	S_n	C_n
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

4.5.3 多位加法器

半加器和全加器只能实现 1 位二进制数相加，而实际更多的是多位二进制数进行相加，这就要用到多位加法器。多位加法器由多个全加器或者全加器与半加器混合组成。

1. 结构与原理

图 4-27 所示为 4 位串行二进制加法器的电路结构，它由 4 个全加器 $\Sigma_1 \sim \Sigma_4$ 组成。

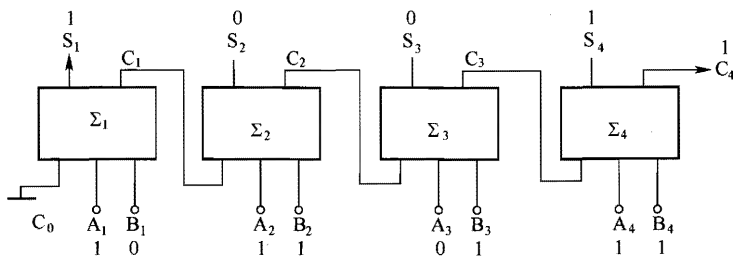


图 4-27 4 位串行二进制加法器

下面以“ $A_4A_3A_2A_1+B_4B_3B_2B_1$ ”为例来说明其工作过程，这里设 $A_4A_3A_2A_1=1011$ 、 $B_4B_3B_2B_1=1110$ 。

多位加法器的相加过程就像用竖式计算一样，先将低位数相加，得到和数，若有进位，则向高位进位，高位相加时则要考虑有无进位，1011 与 1110 相加的竖式计算过程如下

$$\begin{array}{r} 1011 \\ + 1110 \\ \hline 11001 \end{array}$$

在全加器 Σ_1 中进行“ $A_1+B_1(1+0)$ ”运算，其进位数 $C_1=0$ （无进位），和数 $S_1=1$ ；在全加器 Σ_2 中进行“ $A_2+B_2(1+1)$ ”运算，其进位数 $C_2=1$ （有进位），和数 $S_2=0$ ；在全加器 Σ_3 中进行“ $A_3+B_3(0+1)$ ”并加低位进位数 $C_2=1$ 运算，得到和数 $S_3=0$ ，同时产生高位进位数 $C_3=1$ ；在全加器 Σ_4 中进行“ $A_4+B_4(1+1)$ ”并加 Σ_3 送来的进位数 $C_3=1$ 运算，结果和数 $S_4=1$ ，高位进位数 $C_4=1$ 。

通过上述过程，4 位二进制加法器的输出端 $C_4S_4S_3S_2S_1=11001$ ，从而完成了“ $1011+1110=11001$ ”的运算。

2. 常用多位加法器芯片

74LS83 是一个常用的 4 位加法器芯片，内部由 4 个全加器组成。74LS83 各引脚功能如图 4-28 所示。

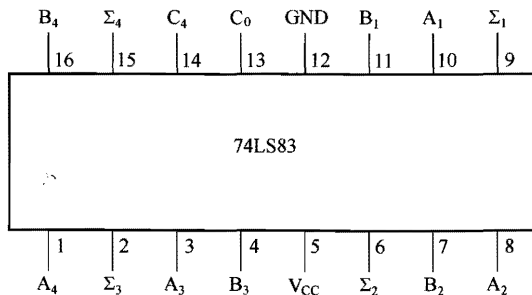


图 4-28 多位加法器芯片 74LS83

74LS83 的 $\Sigma_4 \sim \Sigma_1$ 端分别为各全加器的和输出端，相当于图 4-27 中的 $S_4 \sim S_1$ 端； $A_4 \sim$



A_1 端和 $B_4 \sim B_1$ 端用于输入两组相加数； C_0 端用于接受低位进位数，不使用时接地， C_4 为最高位进位数。

使用举例：在使用 74LS83 进行 “1011+1110=11001” 运算时，可让 $A_4A_3A_2A_1=1011$ 、 $B_4B_3B_2B_1=1110$ ，并将 C_0 端接地（即让 $C_0=0$ ），芯片对两组数进行相加运算后， $\Sigma_4\Sigma_3\Sigma_2\Sigma_1=1001$ ，同时 $C_4=1$ 。

4.6 数值比较器

在数字电子设备中，经常需要比较两个数值的大小及是否相等，能完成数据比较功能的逻辑电路称为数值比较器。数值比较器有两类：一种是等值比较器；另一种是数值比较器。

4.6.1 等值比较器

等值比较器的功能是检验数据是否相等。等值比较器可分为一位等值比较器和多位等值比较器。

1. 1 位等值比较器

1 位等值比较器如图 4-29 所示，其中图 4-29 (a) 所示为异或非门构成的 1 位等值比较器，图 4-29 (b) 所示为与或非门构成的 1 位等值比较器。

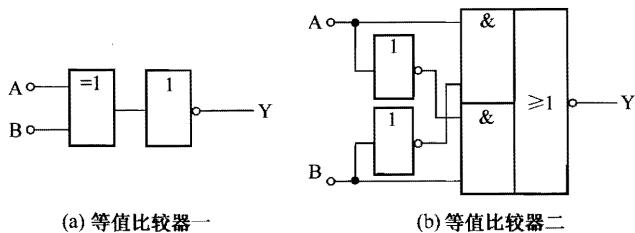


图 4-29 1 位等值比较器

异或非门又称同或门，在第 2 章已经介绍过，其逻辑功能是：当 A 、 B 输入相同（相等）时，输出为 “1”，否则为 “0”。因此可以根据异或非门的输出来判断 A 、 B 是否相等，在图 4-29 (a) 中，当输出为 “1” 时，表明 A 、 B 相等；当输出为 “0” 时，表明 A 、 B 不相等。

图 4-29 (b) 中的等值比较器由两个非门和一个与或非门构成。与或非门的逻辑功能是：两个与门中有一组全为 “1” 时，输出就为 “0”，否则为 “1”。在图 4-29 (b) 中，如果 A 、 B 相同（等值）时，两个与门的两个输入值必不相同（即 A 、 B 相同时， A 和 \bar{B} 必不相同，



B 和 \overline{A} 也不相同), 输出 $Y=1$; 如果 A、B 不相同, 两个与门的两个输入值必然相同, 输出 $Y=0$ 。

2. 多位等值比较器

在实际的数字电路中经常需要进行多位数值的比较, 这就要用到多位等值比较器。

图 4-30 所示为 4 位等值比较器, 它由 4 个同或门 (即异或非门) 和 1 个与门构成的。

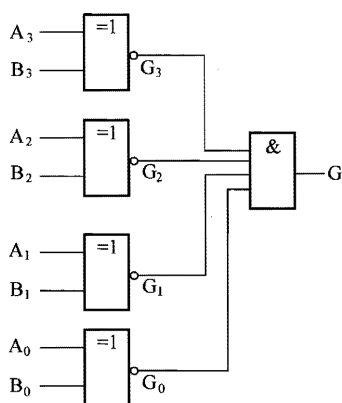


图 4-30 4 位等值比较器

这里以比较 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 两个数为例来说明比较器的工作过程。比较器采用逐位比较的方法来判断整个 4 位数是否相等。当 A_0 、 B_0 相等时, 同或门 G_0 输出 “1” 到与门, 同样地, 只有 A_1 和 B_1 、 A_2 和 B_2 、 A_3 和 B_3 都相等, 同或门 G_1 、 G_2 、 G_3 都输出 “1” 到与门, 与门才会输出 “1”。如果 A_0 和 B_0 、 A_1 和 B_1 、 A_2 和 B_2 、 A_3 和 B_3 中有一组不相同, 相应的同或门就会输出 “0” 到与门, 与门则输出 “0”。即当两个 4 位数各位数都相同时, 这两个 4 位数才相等, 比较器输出为 “1”; 否则, 比较器输出为 “0”。

4.6.2 数值比较器

数值比较器又称为大小比较器, 它不但能检验两个数据是否相等, 还能比较它们的大小。

1. 1 位数值比较器

1 位数值比较器电路结构如图 4-31 所示, 它由一个异或非门、两个与门和两个非门构成的。

数值比较过程如下:

当 $A=B$, 即 A、B 同时为 “1” 或 “0” 时, 与门 G_3 两个输入不同, 其输出 $Y_3=0$; 与门 G_2 两个输入也不同, 其输出 $Y_2=0$; 而与异或非门两输入相同, 其输出 $Y_1=1$ 。

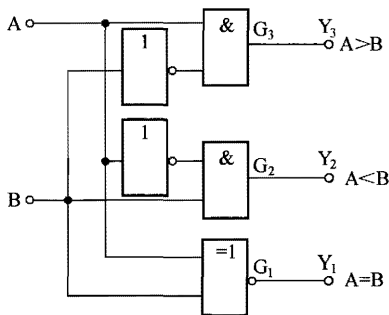


图 4-31 1 位数值比较器的电路结构

当 $A > B$ ，即 $A=1$ 、 $B=0$ 时，与门 G_3 两个输入都为“1”，其输出 $Y_3=1$ ；与门 G_2 两个输入均为“0”，其输出 $Y_2=0$ ；异或非门两输入不同，其输出 $Y_1=0$ 。

当 $A < B$ ，即 $A=0$ 、 $B=1$ 时，与门 G_3 两个输入都为“0”，其输出 $Y_3=0$ ；与门 G_2 两个输入均为“1”，其输出 $Y_2=1$ ；异或非门两输入不同，其输出 $Y_1=0$ 。

也就是说，当数值比较器的 $Y_1=1$ 时，表明输入值 $A=B$ ；当数值比较器的 $Y_3=1$ 时，表明输入值 $A > B$ ；当数值比较器的 $Y_2=1$ 时，表明输入值 $A < B$ 。

2. 多位数值比较器

(1) 多位数值比较原理

多位数值比较器采用由高位到低位逐次比较的方式，当高位数值大时，则整个多位数数值都大，若高位相等，再比较下一位，下一位数值大的整个多位数数值大，这样依次逐位进行比较，当所有的位都相等时，则两个多位数相等。图 4-32 所示是一个 4 位数值比较器框图。

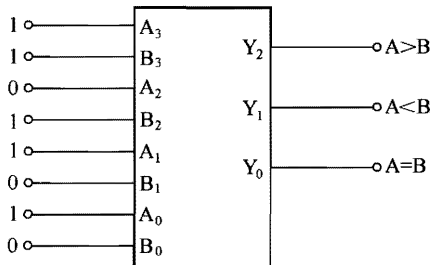


图 4-32 4 位数值比较器框图

4 位数值比较器内部逻辑电路比较复杂，这里只简单说明它的比较过程。设其中的一个 4 位数 $A_3A_2A_1A_0$ 为 1011，另一个 4 位数 $B_3B_2B_1B_0$ 为 1100，比较器首先比较 A_3 和 B_3 的大小，因为 A_3 和 B_3 相等，比较器接着比较 A_2 和 B_2 ，由于 $A_2=0$ ，而 $B_2=1$ ， $A_2 < B_2$ ，所以数 $A_3A_2A_1A_0$ (1011) 小于 $B_3B_2B_1B_0$ (1100)，比较器从 Y_1 端输出“1”，而 Y_2 、 Y_0 均为“0”。



(2) 多位数值比较器芯片

74LS85 是一个常用的 4 位数值比较器芯片，如图 4-33 所示，其真值表见表 4-13。

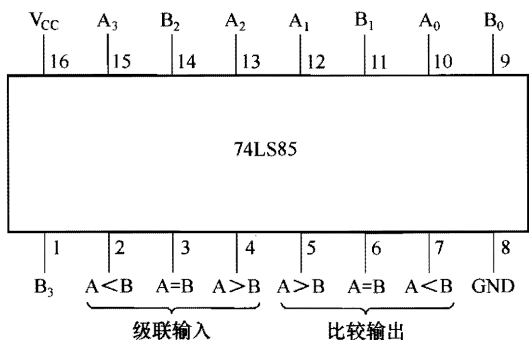


图 4-33 4 位数值比较器芯片 74LS85

表 4-13 74LS85 的真值表

比 较 输 入				级 联 输 入			比 较 输 出		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	A>B	A<B	A=B	A>B	A<B	A=B
A ₃ >B ₃	×	×	×	×	×	×	H	L	L
A ₃ <B ₃	×	×	×	×	×	×	L	H	L
A ₃ =B ₃	A ₂ >B ₂	×	×	×	×	×	H	L	L
A ₃ =B ₃	A ₂ <B ₂	×	×	×	×	×	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	×	×	×	×	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	×	×	×	×	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	×	×	×	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	×	×	×	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	×	×	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

74LS85 的 A₃~A₀ 和 B₃~B₀ 为比较输入端，可同时输入两组 4 位二进制数；74LS85 的⑤、⑥、⑦脚为比较输出端，②、③、④脚为级联输入端，当使用多片 74LS85 组成 8 位或更高位数值比较器时，高位片 74LS85 级联输入端接低位片的比较输出端。



从真值表可以看出,当 74LS85 的 $A_3A_2A_1A_0 \neq B_3B_2B_1B_0$ 时,级联输入端输入无效(即不管输入何值都不会影响比较输出),当 74LS85 的 $A_3A_2A_1A_0 = B_3B_2B_1B_0$ 时,级联输入端输入会影响比较输出。

(3) 数值比较器的扩展

在进行多位数值比较时,单个芯片常常无法胜任,采用多个芯片进行级联可以解决这个问题。图 4-34 所示是一个由两片 74LS85 级联构成的 8 位数值比较器,从图中可以看出,低位片的级联输入端均接地,而比较输出端接高位片的级联输入端。

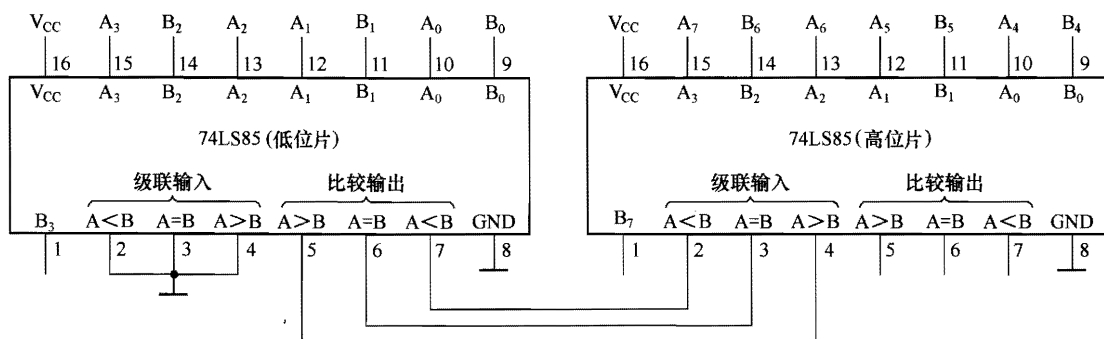


图 4-34 由两片 74LS85 级联构成的 8 位数值比较器

4.7 数据选择器

数据选择器又称为多路选择开关,它是一个多路输入、一路输出的电路,其功能是在选择控制信号的作用下,能从多路输入的数据中选择其中一路输出。数据选择器在音响设备、电视机、计算机和通信设备中广泛应用。

4.7.1 结构与原理

图 4-35 (a) 所示是典型的四选一数据选择器电路结构,图 4-35 (b) 所示为其等效图。

A_0 、 A_1 、 A_2 、 A_3 为数据选择器的 4 个输入端, Y 为数据选择器的输出端, S_0 、 S_1 为数据选择控制端,用来控制数据选择器选择四路数据中的某一路数据输出。为了分析更直观,假设数据选择器的四路输入端 A_0 、 A_1 、 A_2 、 A_3 分别输入 1、1、1、1。

当 $S_0=0$ 、 $S_1=1$ 时, S_1 的“1”经非门后变成“0”送到与门 G_0 和 G_1 的输入端,与门 G_0 和 G_1 关闭(与门只要有一个输入为“0”,输出就为“0”), A_0 和 A_1 数据“1”均无法通过; S_0 的“0”一路直接送到与门 G_3 输入端,与门 G_3 关闭, A_3 数据“1”无法通过与门 G_3 ;而与门 G_2 两个输入端则输入由 S_1 直接送来的“1”和由 S_0 经非门转变成“1”,故与门



G_2 开通， G_2 输出“1”，该数据“1”送到或门 G_4 ， G_4 输出“1”。也就是说，当 $S_0=0$ 、 $S_1=1$ 时， A_2 数据能通过与门 G_2 和或门 G_4 从 Y 端输出。

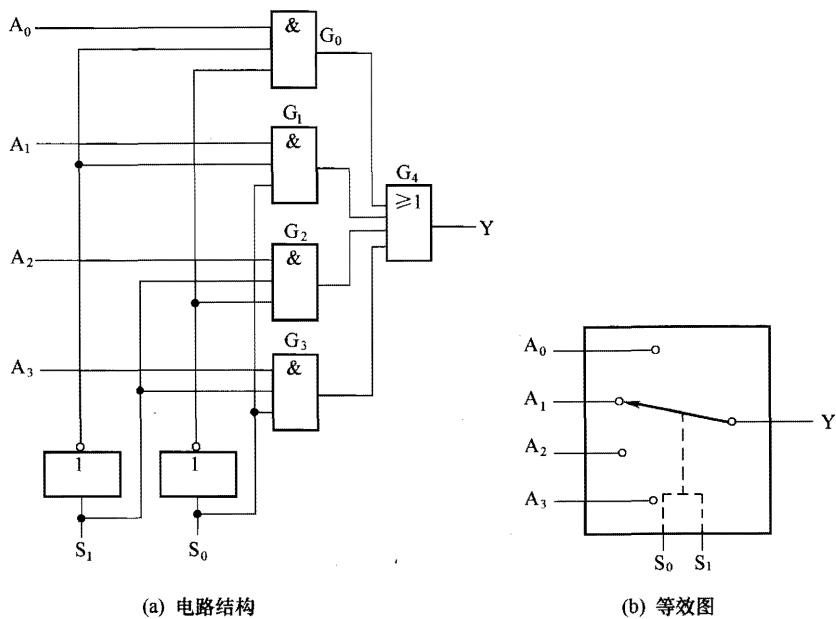


图 4-35 四选一数据选择器

当 $S_0=1$ 、 $S_1=1$ 时，与门 G_3 开通， A_3 数据被选择输出。

当 $S_0=0$ 、 $S_1=0$ 时，与门 G_0 开通， A_0 数据被选择输出。

当 $S_0=1$ 、 $S_1=0$ 时，与门 G_1 开通， A_1 数据被选择输出。

四选一数据选择器的真值表见表 4-14。表中的“×”表示无论输入什么值（1 或 0）都不影响输出结果。

表 4-14 四选一数据选择器的真值表

选择控制输入		输 入				输 出
S_1	S_0	A_0	A_1	A_2	A_3	Y
0	0	A_0	×	×	×	A_0
0	1	×	A_1	×	×	A_1
1	0	×	×	A_2	×	A_2
1	1	×	×	×	A_3	A_3

除了四选一数据选择器外，还有八选一数据选择器和十六选一数据选择器。八选一数据选择器需要 3 个数据选择控制端，而十六选一数据选择器需要 4 个数据选择控制端。



4.7.2 常用数据选择器芯片

74LS153 是一个常用的双四选一数据选择器芯片，如图 4-36 所示，其真值表见表 4-15。

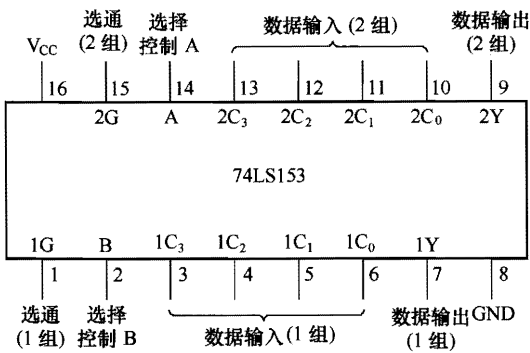


图 4-36 74LS153 的各引脚功能

表 4-15 74LS153 的真值表

选 择 控 制		数 据 输 入				选 通	数 据 输 出
B	A	C ₀	C ₁	C ₂	C ₃	G	Y
×	×	×	×	×	×	H	L
L	L	L	×	×	×	L	L
L	L	H	×	×	×	L	H
L	H	×	L	×	×	L	L
L	H	×	H	×	×	L	H
H	L	×	×	L	×	L	L
H	L	×	×	H	×	L	H
H	H	×	×	×	L	L	L
H	H	×	×	×	H	L	H

74LS153 内部有两个完全相同的四选一数据选择器，C₃~C₀ 为数据输入端，Y 为数据输出端。1G、2G 分别是 1 组、2 组选通端，当 1G=0 时，第 1 组数据选择器工作，当 2G=0 时，第 2 组数据选择器工作，当 1G、2G 均为高电平时，1、2 组数据选择器均不工作。

A、B 为选择控制端，在 G 端为低电平时，可以选择某路输入数据并输出。例如当 1G=0 时，若 AB=10，1C₁ 端输入的数据会被选择并从 1Y 端输出。

4.8 奇偶校验器

在数字电子设备中，数字电路之间经常要进行数据传递，由于受一些因素的影响，数据在传送过程中可能会产生错误，从而会引起设备工作不正常。为了解决这个问题，常常在数据传送电路中设置奇偶校验器。

4.8.1 奇偶校验原理

奇偶校验是检验数据传递是否发生错误的方法之一。它是通过检验传递数据中“1”的个数是奇数还是偶数来判断传递数据是否有错误。

奇偶校验有奇校验和偶校验之分。对于奇校验，若数据中有奇数个“1”，则校验结果为0，若数据中有偶数个“1”，则校验结果为1；对于偶校验，若数据中有偶数个“1”，则校验结果为0，若数据中有奇数个“1”，则校验结果为1。

下面以图4-37所示的8位并行传递奇偶校验示意图为例来说明奇偶校验原理。

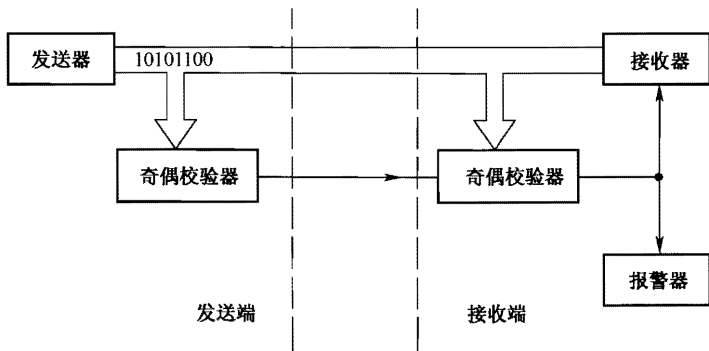


图 4-37 8 位并行传递奇偶校验示意图

在图4-37中，发送器通过8根数据线同时向接收器传递8位数据，这种通过多根数据线同时传递多位数的数据传递方式称为并行传递。发送器在往接收器传递数据的同时，也会把数据传递给发送端的奇偶校验器，假设发送端要传递的数据是10101100。

若图4-37中所示的奇偶校验器为奇校验，发送器的数据10101100送到奇偶校验器，由于数据中的“1”的个数是偶数个，奇偶校验器输出1，它送到接收端的奇偶校验器，与此同时，发送端的数据10101100也送到接收端的奇偶校验器，这样送到接收端的奇偶校验器的数据中“1”的个数为奇数个（含发送端奇偶校验器送来的“1”），接收端的奇偶校验器输出0，它去控制接收器工作，接收发送过来的数据。如果数据在传递过程



中发生了错误,数据由 10101100 变为 10101000,那么送到接收端奇偶校验器的数据中的“1”的个数是偶数个(含发送端奇偶校验器送来的“1”),校验器输出为 1,它一方面控制接收器,禁止接收器接收错误的数,同时还去触发报警器,让它发出数据错误报警。

若图 4-37 中的奇偶校验器为偶校验,发送器的数据为 10101100 时,发送端的奇偶校验器会输出 0。如果传递的数据没有发生错误,接收端的奇偶校验器会输出 0;如果传递的数据发生错误,10101100 变成了 10101000,接收端的奇偶校验器会输出 1。

4.8.2 奇偶校验器

奇偶校验器可采用异或门构成,2 位奇偶校验器和 3 位奇偶校验器分别如图 4-38 (a)、(b) 所示。

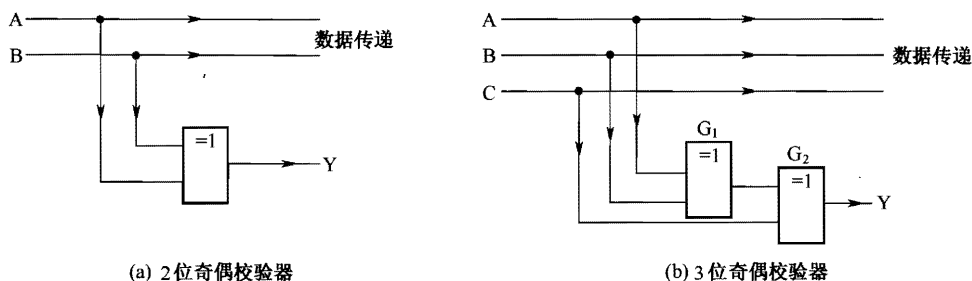


图 4-38 奇偶校验器

图 4-38 中所示的奇偶校验器是由异或门构成的,异或门具有的特点是:输入相同时输出为“0”,输入相异时输出为“1”。图 4-36 (a) 所示的 2 位奇偶校验器由一个异或门构成,当 A、B 都输入“1”,即输入的“1”为偶数个时,输出 $Y=0$;当 A、B 中只有一个为“1”,即输入的“1”为奇数个时,输出 $Y=1$ 。

图 4-38 (b) 所示的 3 位奇偶校验器由两个异或门构成,当 $A=1$ 、 $B=1$ 、 $C=1$ 时,输出 $Y=1$;当 $A=1$ 、 $B=1$,而 $C=0$ 时,异或门 G_1 输出为“0”,异或门 G_2 输出为“0”,即输入的“1”为偶数个时,输出 $Y=0$ 。

以上两种由异或门组成的奇偶校验器具有偶校验功能,如果将异或门换成异或非门组成奇偶校验器,它就具有奇校验功能。

从图 4-37 可以看出,由于接收端的奇偶校验器除了要接收传递的数据外,还要接收发送端奇偶校验器送来的校验位,所以接收端的奇偶校验器的位数较发送端的多 1 位。

下面以图 4-39 所示电路为例进一步说明奇偶校验器的实际应用。

图 4-39 中所示的发送器要送 2 位数 $AB=10$ 到接收器, $A=1$ 、 $B=0$ 一方面通过数据线往



接收器传递，另一方面送到发送端的奇偶校验器，该校验器为偶校验，它输出的校验位为1。校验位1与A=1、B=0送到接收端奇偶校验器，此校验器校验输出为“0”，该校验位0去控制接收器，让接收器接收数据线送到的正确数据。

如果数据在传递过程中，AB由10变为11（注：送到发送端奇偶校验器的数据AB是正确的，仍为10，只是数据传送到接收器的途中发生了错误，由10变成11），发送端的奇偶校验器输出的校验位仍为1，而由于传送到接收端的数据10变成了11，所以接收端的奇偶校验器输出校验位为1，它去禁止接收器接收错误的数

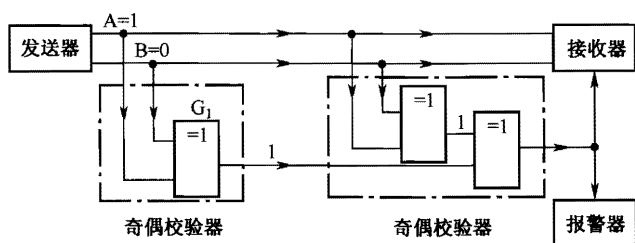


图 4-39 2 位并行传递奇偶校验电路

习题 4

一、填空题

- 组合逻辑电路在任何时刻的输出只由_____决定，而与_____无关，电路没有记忆功能。
- 组合逻辑电路分析的一般步骤为：①_____；②_____；③_____；④_____。
- 组合逻辑电路设计的一般步骤为：①_____；②_____；③_____；④_____。
- 在数字电路中，编码是指_____的过程。编码器是指_____。
- 普通编码器任何时刻允许输入_____，若输入_____，编码输出就会产生_____。优先编码器同一时刻允许输入_____，但仅对输入信号中_____信号进行编码输出。
- 译码是_____的过程，它是_____的逆过程，_____的电路称为译码器。
- 2 位二进制译码器可以将 2 位代码译成_____种输出状态，故又称_____译码器，而 n 位二进制译码器可以译成_____种输出状态。
- 显示译码器的功能是_____。
- 根据七段数码管内部发光二极管公共端不同，可分为_____接法和_____接法，对于_____接法的显示器，需要给发光二极管加低电平才能发光；而对于_____接法的显示器，需要给发光二极管加



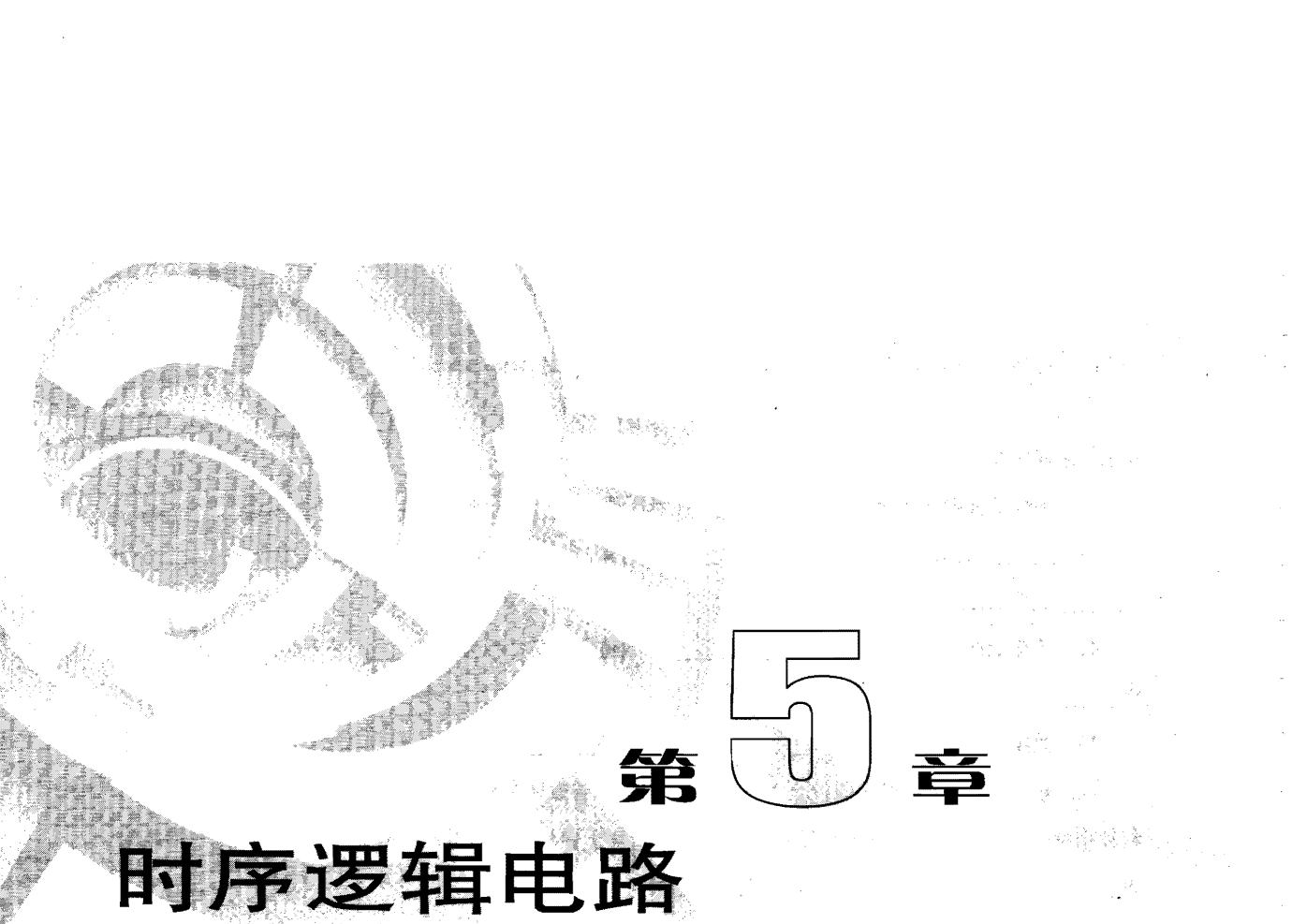
高电平才能发光。

10. 多位荧光数码显示器采用了_____显示原理,它利用了荧光粉的_____和人眼_____。
11. _____运算称为半加,全加是指_____运算,多位加法器由_____组成,也可由_____与_____混合组成。
12. 等值比较器的功能是_____。数值比较器又称为_____,它不但能_____,还能_____。
13. 数据选择器又称为_____,其功能是_____。
14. 奇偶校验有奇校验和偶校验之分。对于奇校验,若数据中有奇数个“1”,则校验结果为_____;
若数据中有偶数个“1”,则校验结果为_____。对于偶校验,若数据中有偶数个“1”,则校验结果
为_____;若数据中有奇数个“1”,则校验结果为_____。
15. 组合逻辑电路种类很多,常见的有_____,_____,_____,_____,_____和
_____等。

二、设计题

有 A、B 两个单位举行联谊娱乐活动,要求每个单位都派出数量相等的男女各组成一队(如 A 单位 9 男 9 女组成一队, B 单位也应 9 男 9 女组成一队),两队用隔板分开,相互之间无法看见对方,在隔板两边各有一个开关,上方有一只灯泡,两支队伍以隔板为中心排成两个纵队,纵队中男女排列随意。游戏开始时,每队同时各派出一人操作本方的开关,男士要将开关上拨,女士则应将开关下拨。如果隔板上方灯亮,说明隔板双方为男女,双方应离开队伍到指定地点会面;如果灯泡不亮,则双方队员退回本队伍末尾等待下一轮。

请按照组合逻辑电路一般设计步骤设计出逻辑电路来实现上述功能。



第5章

时序逻辑电路

本章知识结构

- 5.1 触发器
 - 5.1.1 基本 RS 触发器
 - 5.1.2 同步 RS 触发器
 - 5.1.3 D 触发器
 - 5.1.4 JK 触发器
 - 5.1.5 T 触发器
 - 5.1.6 主从触发器和边沿触发器
- 5.2 寄存器与移位寄存器
 - 5.2.1 寄存器
 - 5.2.2 移位寄存器
- 5.3 计数器
 - 5.3.1 二进制计数器
 - 5.3.2 十进制计数器
 - 5.3.3 任意进制计数器
 - 5.3.4 常用计数器芯片
- 5.4 电子密码控制器的电路原理与实验
 - 5.4.1 电路原理
 - 5.4.2 实验操作



时序逻辑电路简称时序电路，它是一种具有记忆功能的电路。时序逻辑电路是由组合逻辑电路与记忆电路（又称存储电路）组合而成的。

常见时序逻辑电路有触发器、寄存器和计数器等。

5.1 触 发 器

触发器是一种具有记忆功能的电路，它是时序逻辑电路中的基本单元电路。触发器的种类很多，常见的有基本 RS 触发器、同步 RS 触发器、D 触发器、JK 触发器、T 触发器和主从触发器等。

5.1.1 基本 RS 触发器

基本 RS 触发器是一种结构最简单的触发器，其他类型触发器大多是在基本 RS 触发器基础上进行改进而得到的。

1. 结构与原理

基本 RS 触发器如图 5-1 所示。

基本 RS 触发器由两个交叉的与非门组成，它有 \bar{R} 端（称为置“0”端）和 \bar{S} 端（称为置“1”端），字母上标“-”表示该端低电平有效。图形符号的输入端加上圆圈也表示低电平有效。另外，基本 RS 触发器有两个输出端 Q 和 \bar{Q} ，Q 和 \bar{Q} 的值总是相反的，以 Q 端输出的值作为触发器的状态，当 Q 端为“0”时（此时 $\bar{Q}=1$ ），就说触发器处于“0”状态，若 $Q=1$ ，则触发器处于“1”状态。

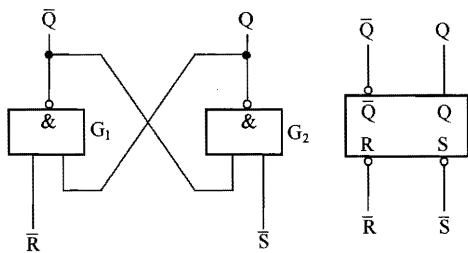
基本 RS 触发器工作原理说明如下。

（1）当 $\bar{R}=1$ 、 $\bar{S}=1$ 时

若触发器原状态为“1”，即 $Q=1$ （ $\bar{Q}=0$ ）。与非门 G_1 的两个输入端均为“1”（ $\bar{R}=1$ 、 $Q=1$ ），与非门 G_1 输出为“0”。与非门 G_2 两个输入端 $\bar{S}=1$ 、 $\bar{Q}=0$ ，与非门 G_2 输出则为“1”。此时的 $Q=1$ 、 $\bar{Q}=0$ ，电路状态不变。

若触发器原状态为“0”，即 $Q=0$ （ $\bar{Q}=1$ ）。与非门 G_1 两个输入端 $\bar{R}=1$ 、 $Q=0$ ，则输出端 $\bar{Q}=1$ ；与非门 G_2 两个输入端 $\bar{S}=1$ 、 $\bar{Q}=1$ ，输出端 $Q=0$ ，电路状态仍保持不变。

也就是说，当 \bar{R} 、 \bar{S} 输入端输入都为“1”（即 $\bar{R}=1$ 、 $\bar{S}=1$ ）时，触发器保持原状态



(a) 逻辑结构 (b) 图形符号
图 5-1 基本 RS 触发器



不变。

(2) 当 $\bar{R}=0$ 、 $\bar{S}=1$ 时

若触发器原状态为“1”，即 $Q=1$ ($\bar{Q}=0$)。与非门 G_1 两个输入端 $\bar{R}=0$ 、 $Q=1$ ，输出端 \bar{Q} 由“0”变为“1”；与非门 G_2 两个输入端均为“1” ($\bar{S}=1$ 、 $\bar{Q}=1$)，输出端 Q 由“1”变为“0”，电路状态由“1”变为“0”。

若触发器原状态为“0”，即 $Q=0$ ($\bar{Q}=1$)。与非门 G_1 两个输入端 $\bar{R}=0$ 、 $Q=0$ ，输出端 \bar{Q} 仍为“1”；与非门 G_2 两个输入端均为“1” ($\bar{S}=1$ 、 $\bar{Q}=1$)，输出端 Q 仍为“0”，即电路状态仍为“0”。

由上述过程可以看出，不管触发器原状态如何，只要 $\bar{R}=0$ 、 $\bar{S}=1$ ，触发器状态马上变为“0”，所以 \bar{R} 端称为置“0”端（或称复位端）。

(3) 当 $\bar{R}=1$ 、 $\bar{S}=0$ 时

若触发器原状态为“1”，即 $Q=1$ ($\bar{Q}=0$)。与非门 G_1 两个输入端均为“1” ($\bar{R}=1$ 、 $Q=1$)，输出端 \bar{Q} 仍为“0”，与非门 G_2 两个输入端 $\bar{S}=0$ 、 $\bar{Q}=0$ ，输出端 Q 为“1”，即电路状态仍为“1”。

若触发器原状态为“0”，即 $Q=0$ ($\bar{Q}=1$)。与非门 G_1 两个输入端 $\bar{R}=1$ 、 $Q=0$ ，输出端 $\bar{Q}=1$ ；与非门 G_2 两个输入端 $\bar{S}=0$ 、 $\bar{Q}=1$ ，输出端 $Q=1$ ，这是不稳定的， $Q=1$ 反馈到与非门 G_1 输入非端，与非门 G_1 输入端现在变为 $\bar{R}=1$ 、 $Q=1$ ，其输出端 $\bar{Q}=0$ ， $\bar{Q}=0$ 反馈到与非门 G_2 输入端，与非门 G_2 输入端为 $\bar{S}=1$ 、 $\bar{Q}=0$ ，其输出端 $Q=1$ ，电路此刻达到稳定（即触发器状态不再变化），其状态为“1”。

由此可见，不管触发器原状态如何，只要 $\bar{R}=1$ 、 $\bar{S}=0$ ，触发器状态马上变为“1”。若触发器原状态为“0”，现变为“1”；若触发器原状态为“1”，则仍为“1”。所以 \bar{S} 端称为置“1”端，即 \bar{S} 为低电平时，能将触发器状态置为“1”。

(4) 当 $\bar{R}=0$ 、 $\bar{S}=0$ 时

此时与非门 G_1 、 G_2 的输入端都至少有一个为“0”，这样会出现 $\bar{Q}=1$ 、 $Q=1$ ，这种情况是不允许的。

综上所述，基本 RS 触发器具的逻辑功能是：置“0”、置“1”和保持。

2. 功能表

基本 RS 触发器的功能表见表 5-1。

表 5-1 基本 RS 触发器的功能表

\bar{R}	\bar{S}	Q	逻辑功能	\bar{R}	\bar{S}	Q	逻辑功能
0	1	0	置“0”	1	1	不变	保持
1	0	1	置“1”	0	0	不定	不允许



3. 特征方程

基本 RS 触发器的输入、输出和原状态之间的关系也可以用特征方程来表示。基本 RS 触发器的特征方程为

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ \bar{R} + \bar{S} = 1 \end{cases}$$

特征方程中的 $\bar{R} + \bar{S} = 1$ 是约束条件，它的作用是规定 \bar{R} 、 \bar{S} 不能同时为“0”。在知道基本 RS 触发器的输入和原状态的情况下，不用分析触发器的工作过程，仅利用上述特征方程就能知道触发器的输出状态。例如已知触发器原状态为“1”（ $Q^n=1$ ），当 \bar{R} 为“0”、 \bar{S} 为“1”时，只要将 $Q^n=1$ 、 $\bar{R}=0$ 、 $\bar{S}=1$ （ $S=0$ ）代入方程即可得 $Q^{n+1}=0$ 。也就是说，在知道 $Q^n=1$ 、 \bar{R} 为“0”、 \bar{S} 为“1”时，通过特征方程计算出来的结果可知触发器状态应为“0”。

5.1.2 同步 RS 触发器

1. CP 脉冲

在数字电路系统中，往往有很多的触发器，为了使它们能按统一的节拍工作，大多需要加控制脉冲控制各个触发器，只有当控制脉冲来时，各触发器才能工作，该控制脉冲称为时钟脉冲，简称 CP，其波形如图 5-2 所示。

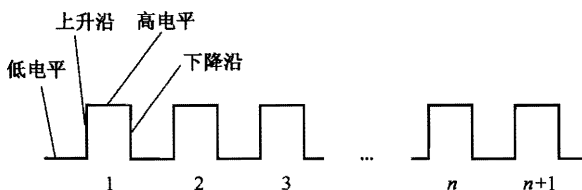


图 5-2 时钟脉冲 CP 的波形

时钟脉冲每个周期可分为 4 个部分：低电平部分、高电平部分、上升沿部分（由低电平变为高电平的部分）和下降沿部分（由高电平变为低电平的部分）。

2. 同步 RS 触发器

(1) 结构与原理

同步 RS 触发器是在基本 RS 触发器的基础上增加了两个与非门和时钟脉冲输入端构成的，其逻辑结构和图形符号分别如图 5-3 (a)、(b) 所示。

同步 RS 触发器就好像是在基本 RS 触发器上加了两道门（与非门），该门的开与关受时钟脉冲的控制。

当无时钟脉冲 CP 时，与非门 G_3 、 G_4 的输入端 CP 都为“0”，这时无论 R、S 端输入什么信号，与非门 G_3 、 G_4 输出都为“1”，这两个“1”送到基本 RS 触发器的输入端，基

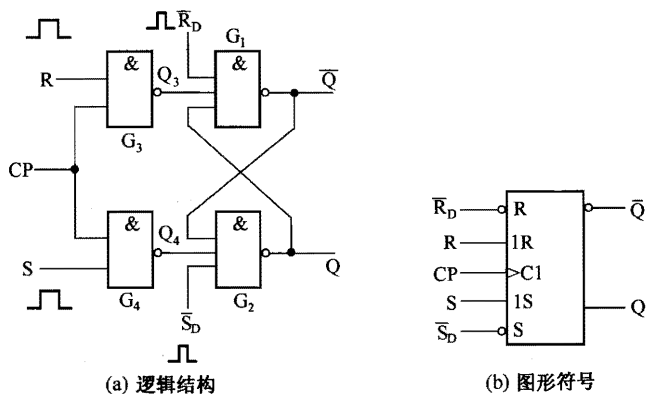


图 5-3 同步 RS 触发器

本 RS 触发器状态保持不变。即无时钟脉冲到来时，无论 R、S 端输入什么信号，触发器的输出状态都不改变，即触发器不工作。

当有时钟脉冲 CP 到来时，时钟脉冲高电平加到与非门 G₃、G₄ 输入端，相当于两个与非门 CP 端都输入“1”，它们开始工作，R、S 端输入的信号到与非门 G₃、G₄，与时钟脉冲的高电平进行与非运算后再送到基本 RS 触发器输入端。这时的同步触发器就相当于一个基本的 RS 触发器。

\bar{R}_D 为同步 RS 触发器置“0”端， \bar{S}_D 为置“1”端。当 \bar{R}_D 为“0”时，将触发器置“0”态 ($Q=0$)；当 \bar{S}_D 为“0”时，将触发器置“1”态 ($Q=1$)；在不需要置“0”和置“1”时，让 \bar{R}_D 、 \bar{S}_D 都为“1”，不影响触发器的工作。

同步 RS 触发器的特点是：无时钟脉冲来时，它不工作；有时钟脉冲来时，其工作过程与基本 RS 触发器一样。

综上所述，同步 RS 触发器在无时钟脉冲时不工作，在有时钟脉冲时，其逻辑功能与基本 RS 触发器相同：置“0”、置“1”和保持。

(2) 功能表

同步 RS 触发器的功能表见表 5-2。

表 5-2 同步 RS 触发器的功能表

R	S	Q^{n+1}	逻辑功能	R	S	Q^{n+1}	逻辑功能
0	0	Q^n	保持	1	0	0	置“0”
0	1	1	置“1”	1	1	不定	不允许

(3) 特征方程

同步 RS 触发器的特征方程为



$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ R \cdot S = 0 \end{cases}$$

特征方程中的约束条件是 $R \cdot S = 0$ ，它规定 R 和 S 不能同时为“1”，因为 R 、 S 同时为“1”会使送到基本 RS 触发器两个输入端的信号同时为“0”，从而会出现基本 RS 触发器工作状态不定的情况。

5.1.3 D 触发器

D 触发器又称为延时触发器或数据锁存触发器，这种触发器在数字系统应用十分广泛，它可以组成锁存器、寄存器和计数器等部件。

1. 结构与原理

图 5-4 (a) 所示是 D 触发器的典型逻辑结构，它是在同步 RS 触发器的基础上增加一个非门构成的。D 触发器常用图 5-4 (b) 所示的图形符号表示。

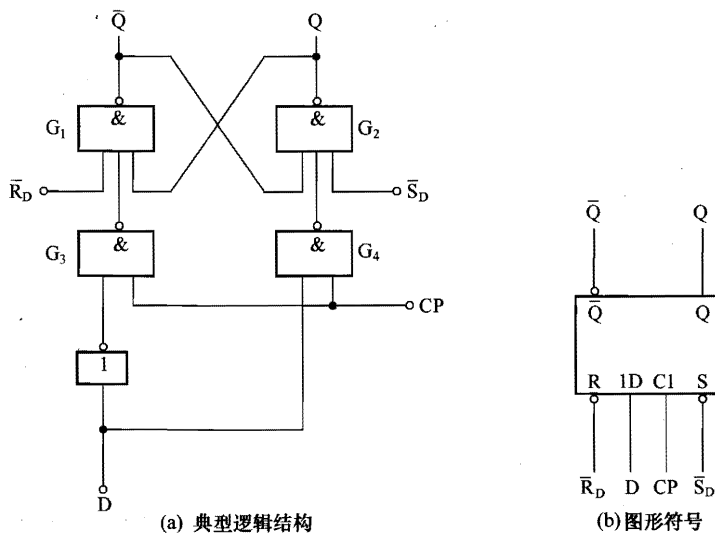


图 5-4 D 触发器

从图中可以看出，D 触发器是在同步 RS 触发器的基础上增加一个非门构成的，由于非门倒相作用，使得门 G_3 和 G_4 的输入始终相反，有效地避免了同步 RS 触发器的 R 、 S 端同时输入“1”导致触发器出现不定状态。D 触发器与同步 RS 触发器一样，只有时钟脉冲来时才能工作。

D 触发器工作原理说明如下。

(1) 当无时钟脉冲到来时（即 $CP=0$ ）

与非门 G_3 、 G_4 都处于关闭状态，无论 D 端输入何值，均不会影响与非门 G_1 、 G_2 ，触

发器保持原状态。

(2) 当有时钟脉冲到来时（即 $CP=1$ ）

这时触发器的工作可分两种情况：

若 $D=0$ ，则与非门 G_3 、 G_4 输入分别为“1”和“0”，相当于同步 RS 触发器 $R=1$ 、 $S=0$ ，触发器的状态变为“0”，即 $Q=0$ 。

若 $D=1$ ，则与非门 G_3 、 G_4 输入分别为“0”和“1”，相当于同步 RS 触发器的 $R=0$ 、 $S=1$ ，触发器的状态变为“1”，即 $Q=1$ 。

综上所述，D 触发器的逻辑功能是：在无 CP 脉冲时不工作；在有 CP 脉冲时，触发器的输出 Q 与输入 D 的状态相同。

2. 状态表

D 触发器的状态表见表 5-3。

表 5-3 D 触发器的状态表

D	Q^{n+1}
0	0
1	1

3. 特征方程

D 触发器的特征方程为

$$Q^{n+1}=D$$

4. 常用 D 触发器芯片

74LS374 是一种常用 D 触发器芯片，内部有 8 个相同的 D 触发器，其各引脚功能如图 5-5 所示，其状态表见表 5-4。

74LS374 的 $1D\sim8D$ 和 $1Q\sim8Q$ 分别为内部 8 个触发器的输入、输出端。CLK 为时钟脉冲输入端，该端输入的脉冲会送到内部每个 D 触发器的 CP 端，CLK 端标注的“V”表示当时钟信号上升沿来时，触发器输入有效。OE 为公共输出控制端，当 $OE=H$ 时，8 个触

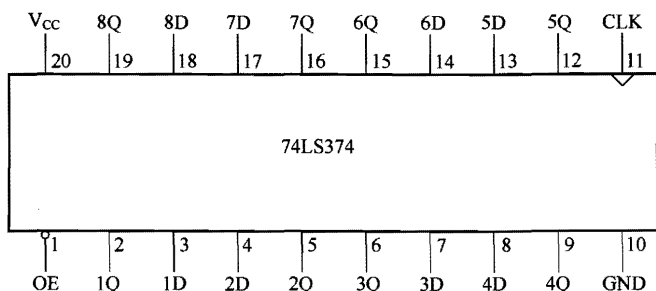


图 5-5 74LS34 的各引脚功能



表 5-4 74LS374 的状态表

OE	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	x	Q ₀
H	x	x	Z

发器的输入端和输出端之间处于高阻状态；当 OE=L 且 CLK 脉冲上升沿来时，D 端数据通过触发器从 Q 端输出；当 OE=L 且 CLK 脉冲为低电平时，Q 端输出保持不变。

74LS374 内部有 8 个 D 触发器，可以根据需要全部使用或个别使用。例如使用第 7、8 个触发器，若 8D=1、7D=0，当 OE=L 且 CLK 端 CP 脉冲上升沿来时，输入端数据通过触发器，输出端 8Q=1、7Q=0，当 CP 脉冲变为低电平后，即使 D 端数据变化，Q 端数据不再变化，即输出数据被锁定，因此 D 触发器常用来构成数据锁存器。

5.1.4 JK 触发器

1. 结构与原理

图 5-6 (a) 所示是 JK 触发器的典型逻辑结构，它是在同步 RS 触发器的基础上从输出端引出两条反馈线，将 Q 端与 R 端相连， \bar{Q} 端与 S 端相连，再加上两个输入端 J 和 K 构成的。JK 触发器常用图 5-6 (b) 所示的图形符号表示。

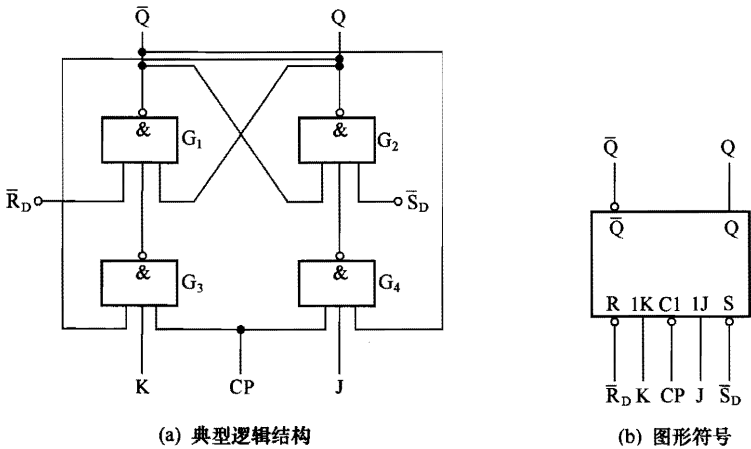
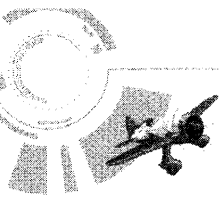


图 5-6 JK 触发器

JK 触发器工作原理说明如下。



(1) 当无时钟脉冲到来时（即 $CP=0$ ）

与非门 G_3 、 G_4 均处于关闭状态，无论 J 、 K 输入何值均不影响与非门 G_1 、 G_2 ，触发器状态保持不变。

(2) 当有时钟脉冲到来时（即 $CP=1$ ）

这时触发器工作的可分为以下四种情况：

① 当 $J=1$ 、 $K=1$ 时。若触发器原状态为 $Q=0$ ($\bar{Q}=1$)，通过反馈线使与非门 G_3 输出为“1”，与非门 G_4 输出为“0”，与非门 G_3 的“1”和与非门 G_4 的“0”加到 G_1 、 G_2 构成的基本 RS 触发器输入端，触发器状态由“0”变为“1”；若触发原状态为 $Q=1$ ($\bar{Q}=0$)，通过反馈线使与非门 G_3 输出为“0”，与非门 G_4 输出为“1”，触发器状态由“1”变为“0”。

由此可以看出，当 $J=1$ 、 $K=1$ ，并且有时钟脉冲到来时（即 $CP=1$ ），触发器状态翻转（即新状态与原状态相反）。

② 当 $J=1$ 、 $K=0$ 时。若触发器原状态为 $Q=1$ ($\bar{Q}=0$)，则与非门 G_3 、 G_4 均输出“1”，触发器状态不变，仍为“1”；若触发器原状态为 $Q=0$ ($\bar{Q}=1$)，则与非门 G_3 、 G_4 均输出“1”，触发器状态变为“1”。

由此可以看出，当 $J=1$ 、 $K=0$ ，并且有时钟脉冲到来时，无论触发器原状态为“0”还是“1”，现均变为“1”。

③ 当 $J=0$ 、 $K=1$ 时。若触发器原状态为 $Q=0$ ($\bar{Q}=1$)，与非门 G_3 、 G_4 输出均为“1”，触发器状态不变（ Q 仍为“0”）；若触发器原状态为 $Q=1$ ($\bar{Q}=0$)，则与非门 G_3 输出为“0”，与非门 G_4 输出“1”，触发器状态变为“0”。

由此可见，当 $J=0$ 、 $K=1$ ，并且有时钟脉冲到来时，无论触发器原状态如何，现均变为“0”。

④ 当 $J=0$ 、 $K=0$ 时。无论触发器原状态如何，与非门 G_3 、 G_4 均输出为“1”，触发器保持原状态不变。

由此可见，当 $J=0$ 、 $K=0$ ，触发器的状态保持不变。

从上面的分析可以看出，JK 触发器具有的逻辑功能是：翻转、置“1”、置“0”和保持。

2. 功能表

JK 触发器的功能表见表 5-5。

表 5-5 JK 触发器的功能表

J	K	Q^{n+1}	J	K	Q^{n+1}
0	0	Q^n (保持)	1	0	1 (置“1”)
0	1	0 (置“0”)	1	1	\bar{Q}^n (翻转)



3. 特征方程

JK 触发器特征方程为

$$Q^{n+1}=J\bar{Q}^n+\bar{K}Q^n$$

4. 常用 JK 触发器芯片

74LS73 是一种常用 JK 触发器芯片，内部有 2 个相同的 JK 触发器，其各引脚功能及内部结构如图 5-7 所示，其状态表见表 5-6。

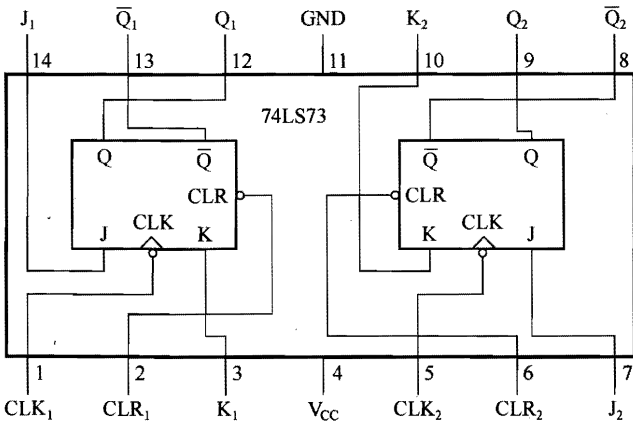


图 5-7 74LS73 的各引脚功能及内部结构

表 5-6 74LS73 的状态表

输 入				输出及功能	
CLR	CLK	J	K	Q	\bar{Q}
L	×	×	×	L	H (清 0)
H	↓	L	L	Q_0	\bar{Q}_0 (保持)
H	↓	H	H	\bar{Q}_0	Q_0 (翻转)
H	↓	H	L	H	L (置 1)
H	↓	L	H	L	H (置 0)
H	H	×	×	Q_0	\bar{Q}_0

74LS73 的 CLR 端为清 0 端，当 CLR=0 时，无论 J、K 端输入为何值，Q 端输出都为 0。CLK 端为时钟脉冲 CP 输入端，当 CP 为高电平时，J、K 端输入无效，触发器输出状态不变；在 CP 下降沿来且 CLR=1 时，J、K 端输入不同值，触发器具有保持、翻转、置“1”和置“0”功能。

5.1.5 T 触发器

T 触发器又称计数型触发器，将 JK 触发器的 J、K 两个输入端连接在一起作为一个输入端就构成了 T 触发器。

1. 结构与原理

图 5-8 (a) 所示是 T 触发器的典型逻辑结构，T 触发器常用图 5-8 (b) 所示的图形符号表示。

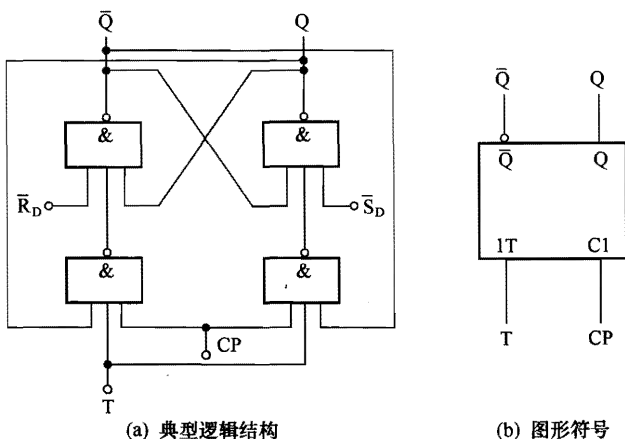


图 5-8 T 触发器

由图 5-8 (a) 可以看出，T 触发器可以看作是 JK 触发器在 $J=0$ 、 $K=0$ 和 $J=1$ 、 $K=1$ 时的情况。从 JK 触发器工作原理可知，当 T 触发器 T 端输入为“0”时，相当于 $J=0$ 、 $K=0$ ，触发器的状态保持不变；当 T 触发器 T 端输入为“1”时，相当于 $J=1$ 、 $K=1$ ，触发器的状态翻转（即新状态与原状态相反）。

由上述分析可知，T 触发器具有的逻辑功能是：“保持”和“翻转”。

如果将 T 端固定接高电平“1”（即 $T=1$ ），这样的触发器称为 T' 触发器，因为 T 端始终为“1”，所以其输出状态仅与时钟脉冲 CP 有关，每到来一个时钟脉冲，CP 端就会由“0”变为“1”一次，触发器状态就会变化一次。

2. 功能表

T 触发器的功能表见表 5-7。

表 5-7 T 触发器的功能表

T	Q^{n+1}
0	Q^n (保持)
1	\bar{Q}^n (翻转)



3. 特征方程

T 触发器的特征方程为

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

5.1.6 主从触发器和边沿触发器

前面介绍的大多数触发器都加有时钟脉冲 CP, 当 CP 来到时触发器工作, CP 过后触发器不工作。给触发器加时钟脉冲的目的是让触发器每来一个时钟脉冲状态就变化一次, 但如果在时钟脉冲持续期间, 输入信号连续发生变化, 那么触发器的状态也会随之连续发生变化。在一个时钟脉冲持续期间, 触发器的状态连续多次变化的现象称为空翻。克服空翻常用的方法是采用主从触发器或边沿触发器。

1. 主从触发器

主从触发器的种类比较多, 常见的有主从 RS 触发器、主从 JK 触发器等, 这里以图 5-9 所示的主从 JK 触发器为例来说明主从触发器工作原理。

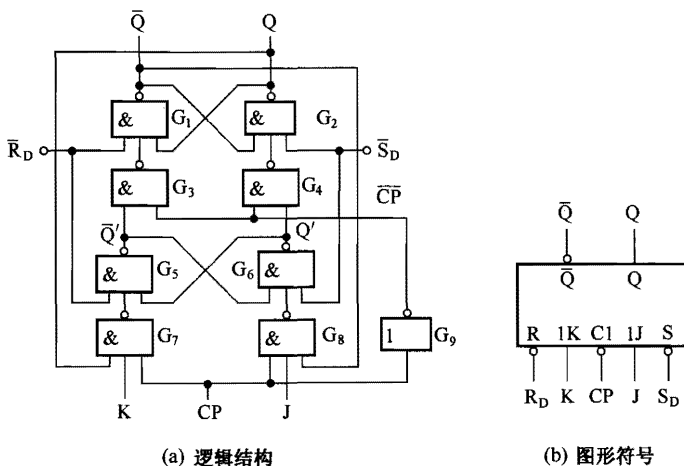


图 5-9 主从 JK 触发器

主从 JK 触发器由主触发器和从触发器组成, 其中与非门 $G_1 \sim G_4$ 构成的触发器称为从触发器, 与非门 $G_5 \sim G_8$ 构成的触发器称为主触发器, 非门 G_9 的作用是让加到与非门 G_3 、 G_4 的时钟信号与加到与非门 G_7 、 G_8 的时钟信号始终相反, \bar{R}_D 、 \bar{S}_D 正常时为高电平。

(1) 当 $J=1$ 、 $K=1$ 时

① 若触发器原状态为 $Q=0$ ($\bar{Q}=1$)。在 $CP=1$ 时, 与非门 G_7 、 G_8 开通, 主触发器工作, 而 $CP=1$ 经非门后变为 $\bar{CP}=0$, 与非门 G_3 、 G_4 关闭, 从触发器不工作, $Q=0$ 通过反馈线送至与非门 G_7 , G_7 输出为 “1” (G_7 输入 $Q=0$ 、 $K=1$), $\bar{Q}=1$ 通过反馈线送至与非门



G_8 , G_8 输出为“0”(G_8 输入 $\bar{Q}=1$ 、 $J=1$)。与非门 G_7 、 G_8 输出的“1”和“0”送到由 G_5 、 G_6 构成的基本 RS 触发器的输入端, 进行置“1”, $Q'=1$, 而 $\bar{Q}'=0$ 。主触发器状态由“0”变为“1”。

在 $CP=0$ 时, 与非门 G_7 、 G_8 关闭, 主触发器不工作, 而 $CP=0$ 经非门后变为 $\overline{CP}=1$, 与非门 G_3 、 G_4 开通, $\bar{Q}'=0$ 送到与非门 G_3 , G_3 输出“1”, 而 $\bar{Q}'=1$ 送到与非门 G_4 , G_4 输出“0”。与非门 G_3 、 G_4 输出的“1”和“0”送到由 G_1 、 G_2 构成的基本 RS 触发器的输入端, 对它进行置“1”, 即 $Q=1$ 、 $\bar{Q}=0$ 。

② 若触发器原状态为 $Q=1$ ($\bar{Q}=0$)。在 $CP=1$ 时, 与非门 G_7 、 G_8 开通, 主触发器工作, 而 $CP=1$ 经非门后变为 $\overline{CP}=0$, 与非门 G_3 、 G_4 关闭, 从触发器不工作, $Q=1$ 通过反馈线送至与非门 G_7 , G_7 输出为“0”, $\bar{Q}=0$ 通过反馈线送至与非门 G_8 , G_8 输出为“1”。与非门 G_7 、 G_8 输出的“0”和“1”送到由与非门 G_5 、 G_6 构成的基本 RS 触发器的输入端, 对该基本 RS 触发器进行置“0”, $\bar{Q}'=0$, 而 $Q'=1$ 。主触发器状态由“1”变为“0”。

在 $CP=0$ 时, 与非门 G_7 、 G_8 关闭, 主触发器不工作, 而 $CP=0$ 经非门后变为 $\overline{CP}=1$, 与非门 G_3 、 G_4 开通, $\bar{Q}'=1$ 送到与非门 G_3 , G_3 输出 0, 而 $\bar{Q}'=0$ 送到与非门 G_4 , G_4 输出“1”。与非门 G_3 、 G_4 输出的“0”和“1”送到由与非门 G_1 、 G_2 构成的基本 RS 触发器的输入端, 对它进行置“0”, 即 $Q=0$ 、 $\bar{Q}=1$ 。

由以上分析可以看出, 当 $J=1$ 、 $K=1$, 并且在时钟脉冲 CP 到来时 ($CP=1$), 主触发器工作, 从触发器不工作; 而时钟脉冲过后 (CP 由“1”变为“0”), 主触发器不工作, 从触发器工作。在 $J=1$ 、 $K=1$ 时, 主从 JK 触发器的逻辑功能是翻转。

(2) 当 $J=1$ 、 $K=0$ 时

当 $J=1$ 、 $K=0$ 时, 主从 JK 触发器的功能是置“1”。工作过程分析与上述相同, 限于篇幅, 这里省略。

(3) 当 $J=0$ 、 $K=1$ 时

当 $J=0$ 、 $K=1$ 时, 主从 JK 触发器的功能是置“0”。

(4) 当 $J=0$ 、 $K=0$ 时

当 $J=0$ 、 $K=0$ 时, 主从 JK 触发器的功能是保持。

由此可见, 主从 JK 触发器的逻辑功能与 JK 触发器是一样的, 都具有翻转、置“1”、置“0”和保持的功能。但因为主从 JK 触发器同时拥有主触发器和从触发器, 当一个触发器工作时, 另一个触发器不工作, 将输入端与输出端隔离开来, 有效地解决了输入信号变化对输出的影响问题。

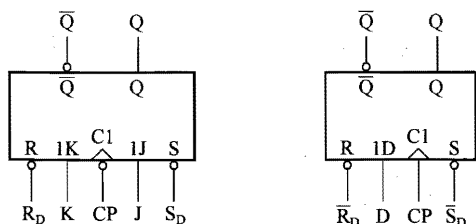
2. 边沿触发器

边沿触发器是一种克服空翻性能更好的触发器。边沿触发器只有在 CP 脉冲上升沿或



下降沿来时输入才有效, 其他期间处于封锁状态, 即使输入信号变化也不会影响触发器的输出状态, 因为 CP 脉冲上升沿或下降沿持续时间很短, 在短时间输入信号因干扰发生变化的可能性很小, 故边沿触发器的抗干扰性很强。

图 5-10 所示是两种常见的边沿触发器, CP 端的“ \wedge ”表示边沿触发方式, 同时带小圆圈表示下降沿触发, 无小圆圈表示上升沿触发。图 5-10 (a) 所示为下降沿触发型 JK 触发器, 当 CP 脉冲下降沿来时, JK 触发器的输出状态会随 JK 端输入而变化, CP 脉冲下降沿过后, 即使输入发生变化, 输出不会变化。图 5-10 (b) 所示为上升沿触发型 D 触发器, 当 CP 脉冲上升沿来时, D 触发器的输出状态会随 D 端输入而变化。



(a) 下降沿触发型 JK 触发器

(b) 上升沿触发型 D 触发器

图 5-10 边沿触发器

5.2 寄存器与移位寄存器

5.2.1 寄存器

寄存器是一种能存取二进制数据的电路。将数据存入寄存器的过程称为“写”, 当往寄存器中“写”入新数据时, 以前存储的数据会消失。将数据从寄存器中取出的过程称为“读”, 数据被“读”出后, 寄存器中的该数据并不会消失, 这就像阅读图书, 书上的文字被人读取后, 文字仍在书上。

寄存器能存储数据是因为它采用了具有记忆功能的电路——触发器, 一个触发器能存放 1 位二进制数。一个 8 位寄存器至少需要 8 个触发器组成, 它能存放 8 个 0、1 这样的二进制数。

1. 结构与原理

寄存器主要由触发器组成, 图 5-11 所示是一个由 D 触发器构成的 4 位寄存器, 它用了 4 个 D 触发器, 这些触发器在 CP 脉冲的下降沿到来时才能工作, $\overline{C_r}$ 为复位端, 它同时接到 4 个触发器的复位端。

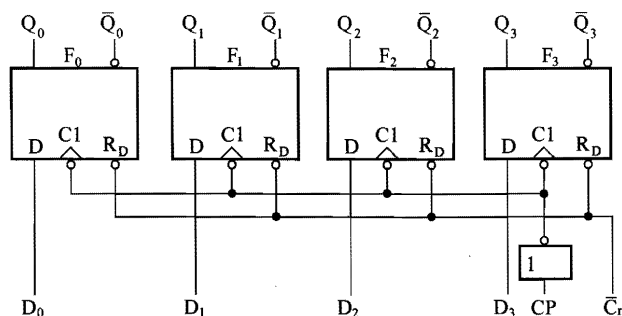


图 5-11 由 D 触发器构成的 4 位寄存器

下面分析图 5-11 所示寄存器的工作原理，为了分析方便，这里假设输入的 4 位数码 $D_3D_2D_1D_0=1011$ 。

当时钟脉冲 CP 为低电平时， $CP=0$ ，经非门后变成高电平，高电平送到 4 个触发器的 C1 端（时钟控制端），由于这 4 个触发器是下降沿触发有效，现 $C1=1$ ，故它们不工作。

当时钟脉冲 CP 上升沿来时，经非门后脉冲变成下降沿，它送到 4 个触发器的 C1 端，4 个触发器工作，如果这时输入的 4 位数码 $D_3D_2D_1D_0=1011$ ，因为 D 触发器的输出和输入是相同的，所以 4 个 D 触发器的输出 $Q_3Q_2Q_1Q_0=1101$ 。

CP 时钟脉冲上升沿过后，4 个 D 触发器都不工作，输出 $Q_3Q_2Q_1Q_0=1101$ 不会变化，即输入的 4 位数码 1101 被保存下来了。

$\overline{C_r}$ 为复位端，当需要将 4 个触发器进行清零时，可以在 $\overline{C_r}$ 端加一个低电平，该低电平同时加到 4 个触发器的复位端，对它们进行复位，结果 $Q_3Q_2Q_1Q_0=0000$ 。

2. 常用寄存器芯片

74LS175 是一个由 D 触发器构成的 4 位寄存器芯片，内部有 4 个 D 触发器，其各引脚功能如图 5-12 所示，其状态表见表 5-8。

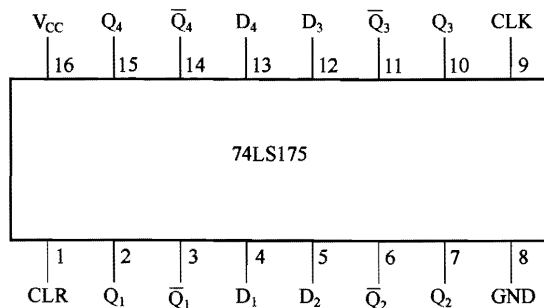


图 5-12 74LS175 的各引脚功能



表 5-8 74LS175 状态表

输 入			输 出	
CLR	CLK	D	Q	\bar{Q}
L	\times	\times	L	H
H	\uparrow	H	H	L
H	\uparrow	L	L	H
H	L	\times	Q_0	\bar{Q}_0

74LS175 的 CLR 端为清 0 端, 当 CLR=0 时, 对寄存器进行清 0, Q 端输出都为 0 (\bar{Q} 都为 1)。CLK 端为时钟脉冲 CP 输入端, 当 CP 为低电平时, D 端输入无效, 触发器输出状态不变; 在 CP 上升沿来且 CLR=1 时, D 端输入数据被寄存器保存下来, $Q=D$ 。

5.2.2 移位寄存器

移位寄存器简称移存器, 它除了具有寄存器存储数据的功能外, 还有对数据进行移位的功能。移位寄存器可按下列方式分类:

按数据的移动方向来分, 有左移寄存器、右移寄存器和双向移位寄存器。

按输入、输出方式来分, 有串行输入-并行输出、串行输入-串行输出、并行输入-并行输出和并行输入-串行输出方式。

1. 左移寄存器

图 5-13 所示是一个由 D 触发器构成的 4 位左移寄存器。

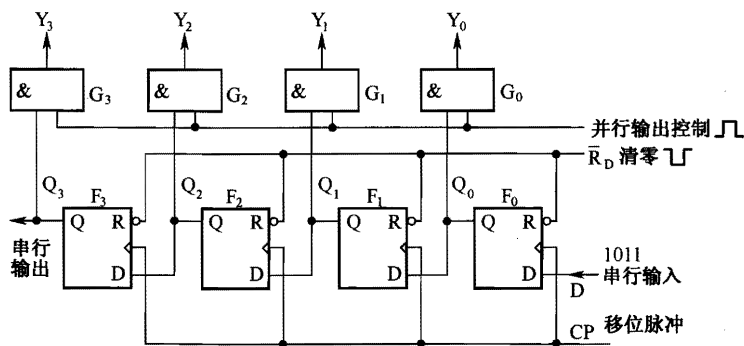


图 5-13 4 位左移寄存器

从图 5-13 中可以看出, 该左移寄存器是由 4 个 D 触发器和 4 个与门电路构成的。 \bar{R}_D 端为复位清零端, 当负脉冲通过该端加到 4 个触发器时, 各个触发器都被复位, 状态都变为



“0”。CP 端为移位脉冲（时钟脉冲），只有移位脉冲上升沿加到各个触发器 CP 端时，这些触发器才能工作。

左移寄存器的数据从右端第一个 D 触发器 F_0 的 D 端输入，由于数据是一个接一个输入 D 端，这种逐位输入数据的方式称为串行输入。左移寄存器的数据输出有两种方式：

① 从最左端触发器 F_3 的 Q_3 输出端将数据一个接一个输出（串行输出）；

② 从 4 个触发器的 4 个输出端同时输出 4 位数，这种同时输出多位数据的方式称为并行输出，这 4 位数再通过 4 个输出门传送到 4 个输出端 $Y_3Y_2Y_1Y_0$ 。

左移寄存器的工作过程分两步进行。

第一步：先对寄存器进行复位清零。在 \bar{R}_D 端输入一个负脉冲，该脉冲分别加到 4 个触发器的复位清零端（R 端），4 个触发器的状态都变为“0”，即 $Q_0=0$ 、 $Q_1=0$ 、 $Q_2=0$ 、 $Q_3=0$ 。

第二步：从输入端逐位输入数据，设输入数据是 1011。

当第 1 个移位脉冲上升沿送到 4 个 D 触发器时，各个触发器开始工作，此时第 1 位输入数“1”送到第 1 个触发器 F_0 的 D 端， F_0 输出 $Q_0=1$ （D 触发器的输入与输出相同），移位脉冲过后各触发器不工作。

当第 2 个移位脉冲上升沿到来时，各个触发器又开始工作，触发器 F_0 的输出 $Q_0=1$ 送到第 2 个触发器 F_1 的 D 端， F_1 输出 $Q_1=1$ ，与此同时，触发器 F_0 的 D 端输入第 2 位数据“0”， F_0 输出 $Q_0=0$ ，移位脉冲过后各触发器不工作。

当第 3 个移位脉冲到上升沿来时，触发器 F_1 输出端 $Q_1=1$ 移至触发器 F_2 输出端， $Q_2=1$ ，而触发器 F_0 的 $Q_0=0$ 移至触发器 F_1 输出端， $Q_1=0$ ，触发器 F_0 输入的第 3 位数“1”移到输出端， $Q_0=1$ 。

当第 4 个移位脉冲上升沿到来时，触发器 F_2 输出端 $Q_2=1$ 移至触发器 F_3 输出端， $Q_3=1$ ，触发器 F_1 的 $Q_1=0$ 移至触发器 F_2 输出端， $Q_2=0$ ，触发器 F_0 的 $Q_0=1$ 移至触发器 F_1 输出端， $Q_1=1$ ，触发器 F_0 输入的第 4 位数“1”移到输出端， $Q_0=1$ 。

4 个移位脉冲过后，4 个触发器的输出端 $Q_3Q_2Q_1Q_0=1011$ ，它们加到 4 个与门 $G_3 \sim G_0$ 的输入端，如果这时有并行输出控制正脉冲（即为 1）加到各与门，这些与门打开，1011 这 4 位数会同时送到输出端，而使 $Y_3Y_2Y_1Y_0=1011$ 。

如果需要将 1011 这 4 位数从 Q_3 端逐个移出（串行输出），必须再用 4 个移位脉冲对寄存器进行移位。从某一位数输入寄存器开始，需要再来 4 个脉冲该位数才能从寄存器串行输出端输出，也就是说移位寄存器具有延时功能，其延迟时间与时钟脉冲周期有关，在数字电路系统中常将它作为数字延时器。

2. 右移寄存器

图 5-14 所示是一个由 JK 触发器构成的 4 位右移寄存器。

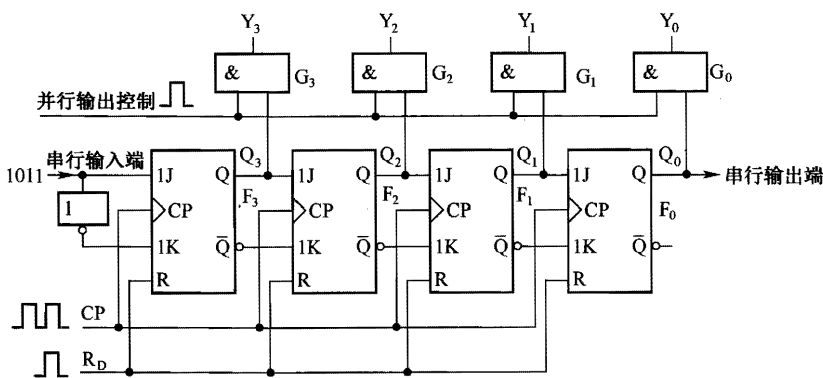


图 5-14 4 位右移寄存器

从图 5-14 中可以看出, 该寄存器是由 4 个 JK 触发器、4 个与门和一个非门构成的。数据从左端 JK 触发器 F_3 的 J 端输入, 如果要输入 4 位数 $D_3D_2D_1D_0$, 其逐位输入的顺序是 D_0 、 D_1 、 D_2 、 D_3 , 即由低位到高位, 而左移寄存器恰好相反, 其是先高位再低位。

输入端的 JK 触发器的 J、K 端之间接了一个非门, 后面几个 JK 触发器的 J、K 端则依次接前一个触发器的 Q 端和 \bar{Q} 端, 这样 4 个触发器的 J、K 端的输入始终相反。因为 JK 触发器具有置“1”($J=1$ 、 $K=0$ 时)、置“0”($J=0$ 、 $K=1$ 时)和翻转($J=1$ 、 $K=1$)、保持($J=0$ 、 $K=0$ 时)的逻辑功能, 而当 J、K 端相反时具有的功能是置“1”($Q=1$)和置“0”($Q=0$), 并且这种情况下 Q 的状态和 J 的输入状态相同, 这与 D 触发器功能是一样的, 这里的 J 端相当于 D 触发器的 D 端。

右移寄存器的工作过程与左移寄存器大致相同, 也分两步进行。

第一步: 先对寄存器进行复位清零。在 R_D 端输入一个正脉冲, 该脉冲分别加到 4 个 JK 触发器的复位清零端 (R 端), 4 个触发器的状态都变为“0”, 即 $Q_0=0$ 、 $Q_1=0$ 、 $Q_2=0$ 、 $Q_3=0$ 。

第二步: 从输入端逐位输入数据, 这里仍假设输入数据是 1011。

当第 1 个时钟脉冲上升沿送到 4 个 JK 触发器时, 各个触发器开始工作, 此时第 1 位输入数“1”(最低位的 1)送到触发器 F_3 的 J 端, 经非门后 $K=0$, JK 触发器 F_3 相当于 D 触发器, 输出端 Q_3 与 J 端相同, F_3 输出为 $Q_3=1$, 时钟脉冲过后各触发器不工作, 此时 $Q_3Q_2Q_1Q_0=1000$ 。

当第 2 个时钟脉冲上升沿到来时, 各个触发器又开始工作, 触发器 F_3 的输出 $Q_3=1$ 送到触发器 F_2 的 J 端, F_2 输出 $Q_2=1$, 与此同时, 触发器 F_3 的 J 端输入第 2 位数据“1”, F_3 输出 $Q_3=1$, 时钟脉冲过后各触发器不工作, 此时 $Q_3Q_2Q_1Q_0=1100$ 。

当第 3 个时钟脉冲上升沿到来时, 寄存器工作过程与上述相同, $Q_3Q_2Q_1Q_0=0110$ 。

当第 4 个时钟脉冲上升沿到来时, 寄存器工作, 结果 $Q_3Q_2Q_1Q_0=1011$ 。

4 个时钟脉冲过后, 4 个触发器的输出端 $Q_3Q_2Q_1Q_0=1011$, 它们加到 4 个与门 $G_3 \sim G_0$ 的输入端, 如果这时有并行输出控制正脉冲 (即为 1) 加到各与门, 这些与门打开, 1011



这4位数会同时送到输出端，而使 $Y_3Y_2Y_1Y_0=1011$ 。

与左移寄存器一样，右移寄存器除了具有能从 $Y_3Y_2Y_1Y_0$ 同时输出数据的并行输出功能外，也有从 Q_0 端逐位输出数据的串行输出功能。

3. 双向移位寄存器

前面介绍的两种移位寄存器只能单独向左或向右移动数据，所以常统称为单向移位寄存器。而双向移位寄存器解决了单向移位问题，在移位方向控制信号的控制下，既可以左移又可以右移。

图 5-15 所示是一个 4 位双向移位寄存器。

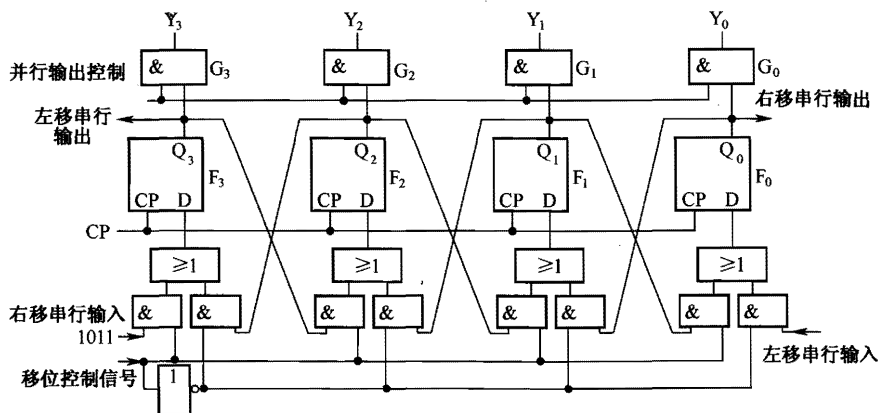


图 5-15 4 位双向移位寄存器

从图 5-15 中可以看出，该寄存器主要由 4 个 D 触发器和一些与门、或门及非门构成。双向移位寄存器有左移串行输入端、左移串行输出端和右移串行输入端、右移串行输出端，另外还有并行输出端。双向移位寄存器的移位方向是受移位控制信号控制的。

(1) 右移工作过程

当移位控制信号端为“1”时，“1”加给右移串行输入端的与门，该与门打开，而“1”经非门变为“0”后加到左移串行输入端的与门，此与门关闭，寄存器工作在右移状态。下面分析假设右移输入端输入数据 1011。

当第 1 个时钟脉冲到来时，4 个 D 触发器开始工作，这时从右移输入端输入数据“1”，它经与门和或门后仍为“1”，送到触发器 F_3 的 D 端， F_3 输出 $Q_3=1$ 。

当第 2 个时钟脉冲到来时，4 个 D 触发器开始工作， F_3 的 $Q_3=1$ 加到触发器 F_2 下面的与门，再经与门和或门后送到触发器 F_2 的 D 端， F_2 输出 $Q_2=1$ ，与此同时，从右移输入端输入第 2 位数“1”，它经与门和或门后仍为“1”，送到触发器 F_3 的 D 端， F_3 输出 $Q_3=1$ 。

当第 3 个时钟脉冲到来时， F_2 的 $Q_2=1$ 加到触发器 F_1 下面的与门，再经与门和或门后送到触发器 F_1 的 D 端， F_1 输出 $Q_1=1$ ， F_3 的 $Q_3=1$ 加到触发器 F_2 下面的与门，再经与门和或门后送到触发器 F_2 的 D 端， F_2 输出 $Q_2=1$ 。与此同时，从右移输入端输入第 3 位数“0”，



它经与门和或门后仍为 0，送到触发器 F_3 的 D 端， F_3 输出 $Q_3=0$ 。

当第 4 个时钟脉冲到来时， F_1 的 $Q_1=1$ 加到触发器 F_0 下面的与门，再经与门和或门后送到触发器 F_0 的 D 端， F_0 输出 $Q_0=1$ ， F_2 的 $Q_2=1$ 加到触发器 F_1 下面的与门，再经与门和或门后送到触发器 F_1 的 D 端， F_1 输出 $Q_1=1$ ， F_3 的 $Q_3=0$ 加到触发器 F_2 下面的与门，再经与门和或门后送到触发器 F_2 的 D 端， F_2 输出 $Q_2=0$ ，与此同时，从右移输入端输入第 4 位数“1”，它经与门和或门后仍为“1”，送到触发器 F_3 的 D 端， F_3 输出 $Q_3=1$ 。

4 个时钟脉冲过后，4 个触发器的输出端 $Q_3Q_2Q_1Q_0=1011$ ，它们加到 4 个与门 $G_3 \sim G_0$ 的输入端，如果这时有并行输出控制正脉冲（即为“1”）加到各与门，这些与门打开，1011 这 4 位数会同时送到输出端，而使 $Y_3Y_2Y_1Y_0=1011$ 。

如果再依次来 4 个时钟脉冲，就会从右移串行输出端由低位到高位依次输出 1011。

(2) 左移工作过程

当移位控制信号端为“0”时，“0”加给右移串行输入端的与门，该与门关闭，而“0”经非门变为“1”后加到左移串行输入端的与门，此与门打开，寄存器工作在左移状态。

设输入的 4 位数据为 1011，它送到左移串行输入端，每到来一个时钟脉冲，4 位数据就按从左到右（也即从高位到低位）的顺序依次移入寄存器。当 4 个时钟脉冲过后，4 位全被移入寄存器，4 个触发器的输出端 $Q_3Q_2Q_1Q_0=1011$ ，这 4 位数据可以通过 4 个与门 $G_3 \sim G_0$ 以并行的形式送到输出端。如果再依次来 4 个时钟脉冲，就会从左移串行输出端由高位到低位依次输出 1011。

双向移位寄存器的左移工作原理与右移基本相同，详细的工作过程可参照右移工作过程分析。

4. 常用双向移位寄存器芯片 74LS194

74LS194 是一个由 RS 触发器构成的 4 位双向移位寄存器芯片，内部有 4 个 RS 触发器及有关控制电路组成，其各引脚功能如图 5-16 所示，其状态表见表 5-9。

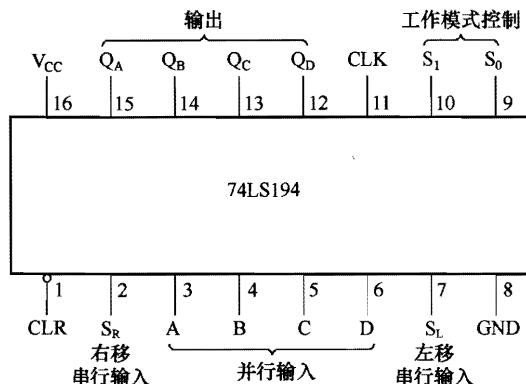


图 5-16 74LS194 的各脚功能

表 5-9 74LS194 状态表

输 入						输 出							
CLR	模 式 控 制		CLK	串 行 输 入		并 行 输 入				Q _A	Q _B	Q _C	Q _D
	S ₁	S ₀		S _L	S _R	A	B	C	D				
L	x	x	x	x	x	x	x	x	x	L	L	L	L
H	x	x	L	x	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H	↑	x	x	a	b	c	d	a	b	c	d
H	L	H	↑	x	H	x	x	x	x	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H	↑	x	L	x	x	x	x	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L	↑	H	x	x	x	x	x	Q _{Bn}	Q _{Cn}	Q _{Dn}	H
H	H	L	↑	L	x	x	x	x	x	Q _{Bn}	Q _{Cn}	Q _{Dn}	L
H	L	L	x	x	x	x	x	x	x	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

74LS194 的 CLR 端为清 0 端, 当 CLR=0 时, 对寄存器进行清 0, $Q_A \sim Q_D$ 端输出都为 0。CLK 端为时钟脉冲 CP 输入端, CP 上升沿触发有效。74LS194 有并行预置、左移、右移和禁止移位 4 种工作模式, 工作在何种模式受 S_1 、 S_0 端控制。 S_R 为右移数据输入端, S_L 为左移数据输入端, A、B、C、D 为并行数据输入端。

当 CLR=1 且 $S_1=S_0=1$ 时, 寄存器工作在并行预置模式, 在 CP 上升沿来时, A~D 端输入的数据 a、b、c、d 从 $Q_A \sim Q_D$ 端输出, CP 上升沿过后, $Q_A \sim Q_D$ 端数据保持不变。

当 CLR=1 且 $S_1=0$ 、 $S_0=1$ 时, 寄存器工作在右移模式, 在 CP 上升沿来时, S_R 端输入的数据 (如 1) 被移入寄存器, 若移位前 Q_A 、 Q_B 、 Q_C 、 Q_D 端数据为 Q_{An} 、 Q_{Bn} 、 Q_{Cn} 、 Q_{Dn} , 右移后, Q_A 、 Q_B 、 Q_C 、 Q_D 端数据变为 1、 Q_{An} 、 Q_{Bn} 、 Q_{Cn} 。

当 CLR=1 且 $S_1=1$ 、 $S_0=0$ 时, 寄存器工作在左移模式, 在 CP 上升沿来时, S_L 端输入的数据 (如 0) 被移入寄存器, 若移位前 Q_A 、 Q_B 、 Q_C 、 Q_D 端数据为 Q_{An} 、 Q_{Bn} 、 Q_{Cn} 、 Q_{Dn} , 左移后, Q_A 、 Q_B 、 Q_C 、 Q_D 端数据变为 Q_{Bn} 、 Q_{Cn} 、 Q_{Dn} 、0。

当 CLR=1 且 $S_1=0$ 、 $S_0=0$ 时, 寄存器工作在禁止移位模式, CP 脉冲触发无效, 并行和左移、右移串行输入均无效, Q_A 、 Q_B 、 Q_C 、 Q_D 端数据保持不变。

5.3 计 数 器

计数器是一种具有计数功能的电路, 它主要由触发器和门电路组成, 是数字系统中使



用最多的时序逻辑电路之一。计数器不但可用来对脉冲的个数进行计数,还可以用作数字运算、分频、定时控制等。

计数器种类有二进制计数器、十进制计数器和任意进制计数器(或称 N 进制计数器),这些计数器中又有加法计数器(又称递增计数器)和减法计数器(也称递减计数器)之分。

5.3.1 二进制计数器

计数器可分为异步计数器和同步计数器。所谓“异步”是指计数器中各电路(一般为触发器)没有统一时钟脉冲控制,或者没有时钟脉冲控制,各触发器状态变化不是发生在同一时刻。而“同步”是指计数器中的各触发器都受到同一时钟脉冲的控制,所有触发器的状态变化都在同一时刻发生。

1. 异步二进制加法计数器

图 5-17 所示是一个 3 位二进制异步加法计数器的电路结构,它由 3 个 JK 触发器组成,其中 J、K 端都悬空,相当于 $J=1$ 、 $K=1$,时钟脉冲输入端的“<”和小圆圈表示脉冲下降沿(由“1”变为“0”时)来时工作有效。

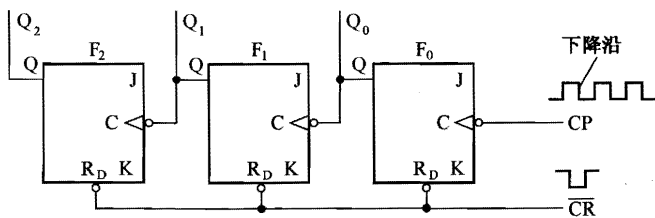


图 5-17 3 位异步二进制加法计数器

计数器的工作过程分为两步。

第一步:计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制 \overline{CR} 端送一个负脉冲到各触发器 R_D 端,触发器状态都变为“0”,即 $Q_2Q_1Q_0=000$ 。

第二步:计数器开始计数。

当第 1 个时钟脉冲的下降沿到触发器 F_0 的 CP 端时,触发器 F_0 开始工作,由于 $J=K=1$,JK 触发器的功能是“翻转”,触发器 F_0 的状态由“0”变为“1”,即 $Q_0=1$,其他触发器状态不变,计数器的输出为 $Q_2Q_1Q_0=001$ 。

当第 2 个时钟脉冲的下降沿到触发器 F_0 的 CP 端时, F_0 触发器状态又翻转, Q_0 由“1”变为“0”,这相当于给触发器 F_1 的 CP 端加了一个脉冲的下降沿,触发器 F_1 状态翻转, Q_1 由“0”变为“1”,计数器的输出为 $Q_2Q_1Q_0=010$ 。

当第3个时钟脉冲下降沿到触发器 F_0 的 CP 端时, F_0 触发器状态又翻转, Q_0 由“0”变为“1”, F_1 触发器状态不变 $Q_1=1$, 计数器的输出为 011。

同样道理, 当第4~7个脉冲到来时, 计数器的 $Q_2Q_1Q_0$ 依次变为 100、101、110、111。由此可见, 随着脉冲的不断到来, 计数器的计数值不断递增, 这种计数器称为加法计数器。当再输入一个脉冲时, $Q_2Q_1Q_0$ 又变为 000, 随着时钟脉冲的不断到来, 计数器又重新开始对脉冲进行计数。3 位二进制异步加法计数器的时钟脉冲输入个数与计数器的状态见表 5-10。

表 5-10 3 位二进制异步加法计数器状态表

输入 CP 脉冲序号	计数器状态			输入 CP 脉冲序号	计数器状态		
	Q_2	Q_1	Q_0		Q_2	Q_1	Q_0
0	0	0	0	5	1	0	1
1	0	0	1	6	1	1	0
2	0	1	0	7	1	1	1
3	0	1	1	8	0	0	0
4	1	0	0				

N 位二进制加法计数器的最大计数为 2^N-1 个, 所以 3 位异步二进制加法计数器最大计数为 $2^3-1=7$ 个。

异步二进制加法计数器除了能计数外, 还具有分频作用。3 位异步二进制加法计数器的 CP 脉冲和各触发器输出波形如图 5-18 所示。

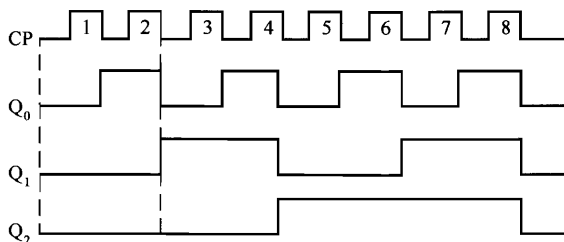


图 5-18 3 位异步二进制加法计数器工作波形图

从波形图可以看出, 当第1个时钟脉冲下降沿来时, Q_0 由“0”变为“1”, Q_1 、 Q_2 状态不变; 当第2个时钟脉冲下降沿来时, Q_0 由“1”变为“0”, Q_1 由“0”变为“1”, Q_2 状态不变。观察波形还可以发现; 每个触发器输出端 (Q 端) 的脉冲信号频率只有输入端 (C 端) 脉冲信号一半, 也就是说, 信号每经一个触发器后频率会降低一半, 这种功能称为“二分频”。由于每个触发器能将输入信号的频率降低一半, 3 位二进制计数器采用 3 个触发器, 它最多能将信号频率降低 $2^3=8$ 倍。例如图 5-18 中的 CP 脉冲频率为 1 000Hz, 那么



Q_0 、 Q_1 、 Q_2 端输出的脉冲频率分别是 500Hz、250Hz、125Hz。

2. 异步二进制减法计数器

异步二进制减法计数器如图 5-19 所示。

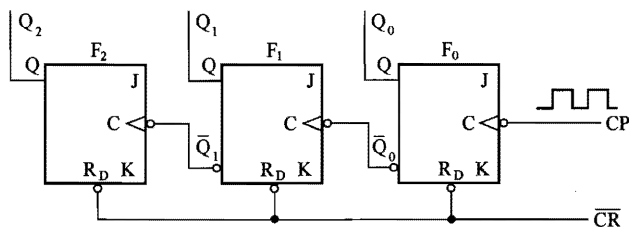


图 5-19 3 位异步二进制减法计数器

该计数器是一个 3 位二进制异步减法计数器，它与前面介绍过的 3 位二进制异步加法计数器一样，是由 3 个 JK 触发器组成，其中 J、K 端都悬空（相当于 $J=1$ 、 $K=1$ ），两者的不同之处在于，减法计数器是将前一个触发器的 \bar{Q} 端与下一个触发器的 CP 端相连。

计数器的工作过程分为两步。

第一步：计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制 \overline{CR} 端送一个负脉冲到各触发器 R_D 端，触发器状态都变为“0”，即 $Q_2Q_1Q_0=000$ （ $\bar{Q}_2\bar{Q}_1\bar{Q}_0=111$ ）。

第二步：计数器开始计数。

当第 1 个时钟脉冲的下降沿到触发器 F_0 的 CP 端（即 C 端）时，触发器 F_0 开始工作，由于 $J=K=1$ ，JK 触发器的功能是翻转，触发器 F_0 的状态由“0”变为“1”，即 $Q_0=1$ ， \bar{Q}_0 由“1”变为“0”，这相当于一个脉冲的下降沿，它送到触发器 F_1 的 CP 端，触发器 F_1 的状态由“0”变为“1”，即 $Q_1=1$ ， \bar{Q}_1 由“1”变为“0”，它送到触发器 F_2 的 CP 端，触发器 F_2 的状态由“0”变为“1”， $Q_2=1$ ，3 个触发器的状态均为“1”，计数器的输出为 $Q_2Q_1Q_0=111$ 。

当第 2 个时钟脉冲的下降沿到触发器 F_0 的 CP 端时，触发器 F_0 状态翻转， Q_0 由“1”变为“0”， \bar{Q}_0 则由“0”变为“1”，触发器 F_1 的状态不变，触发器 F_2 的状态也不变，计数器的输出为 $Q_2Q_1Q_0=110$ 。

当第 3 个时钟脉冲下降沿到触发器 F_0 的 CP 端时， F_0 触发器状态又翻转， Q_0 由“0”变为“1”， \bar{Q}_0 则由“1”变为“0”（相当于脉冲的下降沿），它送到 F_1 的 CP 端，触发器 F_1 状态翻转， Q_1 由“1”变为“0”， \bar{Q}_1 则由“0”变为“1”，触发器 F_2 状态不变，计数器的输出为 101。

同样道理，当第 4~7 个脉冲到来时，计数器的 $Q_2Q_1Q_0$ 依次变为 100、011、010、001。由此可见，随着脉冲的不断到来，计数器的计数值不断递减，这种计数器称为减法计数器。当再给输入一个脉冲时， $Q_2Q_1Q_0$ 又变为 000，随着时钟脉冲的不断到来，计数器又

重新开始对脉冲进行计数。3 位异步二进制减法计数器的时钟脉冲输入个数与计数器的状态见表 5-11。

表 5-11 3 位异步二进制减法计数器状态表

输入 CP 脉冲序号	计数器状态			输入 CP 脉冲序号	计数器状态		
	Q_2	Q_1	Q_0		Q_2	Q_1	Q_0
0	0	0	0	5	0	1	1
1	1	1	1	6	0	1	0
2	1	1	0	7	0	0	1
3	1	0	1	8	0	0	0
4	1	0	0				

异步计数器的电路简单，但由于各个触发器的状态是逐位改变的，所以计数速度较慢。

3. 同步二进制加法计数器

3 位同步二进制加法计数器如图 5-20 所示。

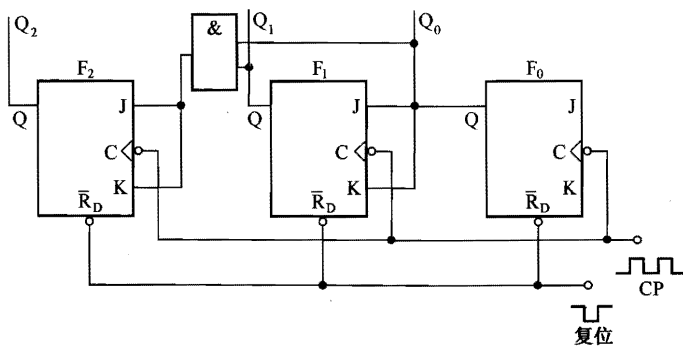


图 5-20 3 位同步二进制加法计数器

该计数器是一个 3 位同步二进制加法计数器，它由 3 个 JK 触发器和一个与门组成。与异步计数器不同的是，它将计数脉冲同时送到每个触发器的 CP 端，计数脉冲到来时，各个触发器同时工作，这种形式的计数器称为同步计数器。

计数器的工作过程分为两步。

第一步：计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制端送一个负脉冲到各触发器 R_D 端，触发器状态都变为“0”，即 $Q_2Q_1Q_0=000$ 。

第二步：计数器开始计数。

当第 1 个时钟脉冲的下降沿到来时，3 个触发器同时工作。在时钟脉冲下降沿到来时，



触发器 F_0 的 $J=K=1$ (J 、 K 悬空为“1”), 触发器 F_0 状态翻转, 由“0”变为“1”; 在时钟脉冲下降沿到来时, 触发器 F_1 的 $J=K=Q_0=0$ (注: 在时钟脉冲下降沿刚到来时, 触发器 F_0 状态还未变为“1”), 触发器 F_1 状态保持不变, 仍为“0”; 在时钟脉冲下降沿到来时, 触发器 F_2 的 $J=K=Q_0 \cdot Q_1=0 \cdot 0=0$ (注: 在时钟脉冲下降沿刚到来时, 触发器 F_0 、 F_1 状态还未变化, 均为“0”), 触发器 F_2 状态保持不变, 仍为“0”。第 1 个时钟脉冲过后, 计数器的 $Q_2Q_1Q_0=001$ 。

当第 2 个时钟脉冲的下降沿到来时, 3 个触发器同时工作。在时钟脉冲下降沿到来时, 触发器 F_0 的 $J=K=1$ (J 、 K 悬空为“1”), 触发器 F_0 状态翻转, 由“1”变为“0”; 在时钟脉冲下降沿到来时, 触发器 F_1 的 $J=K=Q_1=1$ (注: 在第 2 个时钟脉冲下降沿刚到来时, 触发器 F_0 状态还未变为“0”), 触发器 F_1 状态翻转, 由“0”变为“1”; 在时钟脉冲下降沿到来时, 触发器 F_2 的 $J=K=Q_0 \cdot Q_1=1 \cdot 0=0$ (注: 在第 2 个时钟脉冲下降沿刚到来时, 触发器 F_0 、 F_1 状态还未变化), 触发器 F_2 状态保持不变, 仍为“0”。第 2 个时钟脉冲过后, 计数器的 $Q_2Q_1Q_0=010$ 。

同理, 当第 3~7 个时钟脉冲下降沿到来时, 计数器状态依次变为 011、100、101、110、111; 当再来一个时钟脉冲时, 计数器状态又变为 000。

从上面的分析可以看出, 同步计数器的各个触发器在时钟脉冲的控制下同时工作, 计数速度快。如果将图 5-16 中的 Q_0 、 Q_1 改接到 \bar{Q}_0 、 \bar{Q}_1 上, 就可以构成同步二进制减法计数器。

5.3.2 十进制计数器

十进制计数器与 4 位二进制计数器有些相似, 但 4 位二进制计数器需要计数到 1111 后才能返回到 0000, 而十进制计数器要求计数到 1001 (相当于 9) 就返回 0000。8421BCD 码十进制计数器是一种最常用的十进制计数器。

8421BCD 码十进制计数器如图 5-21 所示。

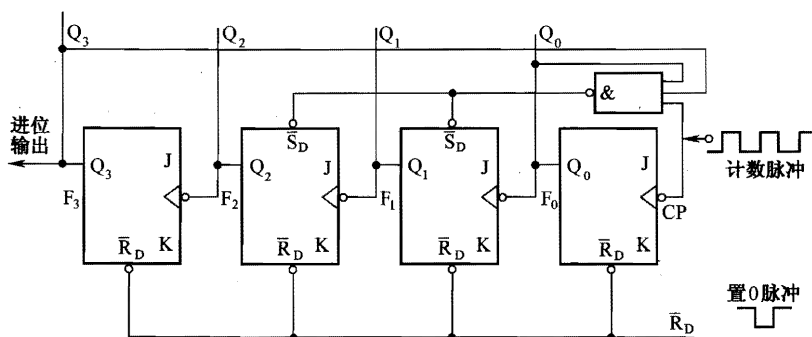


图 5-21 8421BCD 码十进制加法计数器



该计数器是一个 8421BCD 码异步十进制加法计数器，由 4 个 JK 触发器和一个与非门构成，与非门的输出端接到触发器 F_1 、 F_2 的 \bar{S}_D 端（置“1”端），输入端则接到时钟信号输入端（CP 端）和触发器 F_0 、 F_3 的输出端（即 Q_0 端和 Q_3 端）。

计数器的工作过程分为两步。

第一步：计数器复位清零。在工作前应先对计数器进行复位清零。在复位控制端送一个负脉冲到各触发器 R_D 端，触发器状态都变为“0”，即 $Q_3Q_2Q_1Q_0=0000$ 。

第二步：计数器开始计数。

当第 1 个计数脉冲（时钟脉冲）下降沿送到触发器 F_0 的 CP 端时，触发器 F_0 翻转， Q_0 由“0”变为“1”，触发器 F_1 、 F_2 、 F_3 状态不变， Q_3 、 Q_2 、 Q_1 均为“0”，与非门的输出端为“1”（ $\bar{Q}_3\bar{Q}_0\bar{CP}=1$ ），即触发器 F_1 、 F_2 置位端 \bar{S}_D 为“1”，不影响 F_1 、 F_2 的状态，计数器输出为 $Q_3Q_2Q_1Q_0=0001$ 。

当第 2 个计数脉冲下降沿送到触发器 F_0 的 CP 端时，触发器 F_0 翻转， Q_0 由“1”变为“0”， Q_0 的变化相当于一个脉冲的下降沿送到触发器 F_1 的 CP 端， F_1 翻转， Q_1 由“0”变为“1”，与非门输出端仍为“1”，计数器输出为 $Q_3Q_2Q_1Q_0=0010$ 。

同样道理，当依次输入第 3~9 个计数脉冲时，计数器则依次输出 0011、0100、0101、0110、0111、1000、1001。

当第 10 个计数脉冲上升沿送到触发器 F_0 的 CP 端时，CP 端由“0”变为“1”，相当于 $CP=1$ ，此时 $Q_0=1$ 、 $Q_3=1$ ，与非门 3 个输入端都为“1”，马上输出“0”，分别送到触发器 F_1 、 F_2 的置“1”端（ \bar{S}_D 端）， F_1 、 F_2 的状态均由“0”变为“1”，即 $Q_1=1$ 、 $Q_2=1$ ，计数器的输出为 $Q_3Q_2Q_1Q_0=1111$ 。

当第 10 个计数脉冲下降沿送到触发器 F_0 的 CP 端时， F_0 翻转， Q_0 由“1”变“0”，它送到触发器 F_1 的 CP 端， F_1 翻转， Q_1 由“1”变为“0”， Q_1 的变化送到触发器 F_2 的 CP 端， F_2 翻转， Q_2 由“1”变为“0”， Q_2 的变化送到触发器 F_3 的 CP 端， F_3 翻转， Q_3 由“1”变为“0”，计数器输出为 $Q_3Q_2Q_1Q_0=0000$ 。

第 11 个计数脉冲下降沿到来时，计数器又重复上述过程进行计数。

从上述过程可以看出，当输入 1~9 计数脉冲时，计数器依次输出 0000~1001，当输入第 10 个计数脉冲时，计数器输出变为 0000，然后重新开始计数，它跳过了 4 位二进制数计数时出现的 1010、1011、1100、1101、1110、1111 6 个数。

5.3.3 任意进制计数器

在实际中，除了有二进制计数和十进制计数外，还有其他进制的计数方法，如时钟的



小时是十二进制,分、秒是六十进制。**任意进制计数器又称 N 进制计数器**,除了二进制计数器外,其他的计数器都可以称为任意计数器,即十进制计数器也是任意计数器中的一种。

因为计数器要用到触发器,一个触发器可以构成 1 位计数器,两个触发器可以构成 2 位二进制计数器,2 位二进制计数器实际上就是一个四进制计数器,所以 **2^n 进制计数器至少要用到 N 个触发器**,例如十二进制计数器需要用到 4 个触发器,六十进制计数器要用到 6 个触发器。

为了让大家能进一步理解任意计数器,下面以图 5-22 所示的同步三进制加法计数器为例来说明 N 进制计数器的工作原理。

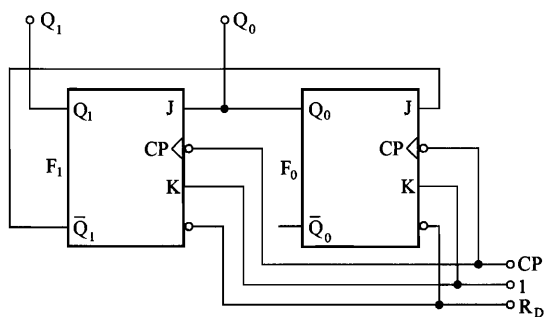


图 5-22 同步三进制加法计数器

该计数器由两个 JK 触发器构成,两个触发器的 K 端都固定接高电平“1”,触发器 F_1 的 \bar{Q} 端通过反馈线与触发器 F_0 的 J 端相连。

计数器的工作过程分为两步。

第一步:计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制端送一个负脉冲到各触发器 R_D 端,触发器状态都变为“0”,即 $Q_1Q_0=00$ 。

第二步:计数器开始计数。

当第 1 个计数脉冲下降沿到来时,它同时送到触发器 F_0 、 F_1 的 CP 端,两个触发器同时工作。在计数脉冲下降沿到来时,触发器 F_0 的 $K=1$ 、 $J=\bar{Q}_1=1$, F_0 的状态翻转, Q_0 由“0”变为“1”;在计数脉冲下降沿到来时,触发器 F_1 的 $K=1$ 、 $J=Q_0=0$ (在计数脉冲下降沿刚到来时, F_0 的状态还未变化,仍为“0”), F_1 被置“0”,即 Q_1 仍为“0”,计数器输出为 $Q_1Q_0=01$ 。

当第 2 个计数脉冲下降沿到来时,它同时送到触发器 F_0 、 F_1 的 CP 端,两个触发器同时工作。在计数脉冲下降沿到来时,触发器 F_0 的 $K=1$ 、 $J=\bar{Q}_1=1$, F_0 的状态翻转, Q_0 由“1”变为“0”;在计数脉冲下降沿到来时,触发器 F_1 的 $K=1$ 、 $J=Q_0=1$, F_1 的状态翻转, Q_1 由“0”变为“1”,计数器输出为 $Q_1Q_0=10$ 。

当第 3 个计数脉冲下降沿到来时,两个触发器同时工作。在计数脉冲下降沿到来时,



触发器 F_0 的 $K=1$ 、 $J=\bar{Q}_1=0$ ($Q_1=1$)， F_0 被置“0”，即 Q_0 仍为“0”；在计数脉冲下降沿到来时，触发器 F_1 的 $K=1$ 、 $J=Q_0=0$ ， F_1 被置“0”， Q_1 由“1”变为“0”， Q_1 的变化相当于一个脉冲的下降沿，它可以作为进位脉冲。计数器输出为 $Q_1Q_0=00$ 。

当第 4 个计数脉冲下降沿到来时，计数器又重复上述过程。

5.3.4 常用计数器芯片

1. 异步计数器芯片 74LS90

74LS90 是一种中规模的二-五-十进制计数器，其各引脚功能如图 5-23 所示，其中 CP_A 和 Q_A 构成 1 位二进制计数器， CP_B 和 Q_D 、 Q_C 、 Q_B 组成五进制计数器，将两个计数器有关端子适当组合，可以组成其他类型的计数器。

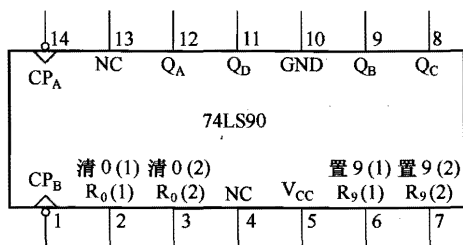


图 5-23 74LS90 的各引脚功能

$R_0(1)$ 、 $R_0(2)$ 为两个清 0 端， $R_9(1)$ 、 $R_9(2)$ 为两个置 9 端，这 4 个端子与 74LS90 的工作状态关系见表 5-12。从表中可以看出：当 $R_0(1)$ 、 $R_0(2)$ 均为高电平且 $R_9(1)$ 、 $R_9(2)$ 中有一个低电平时，计数器 $Q_D \sim Q_A$ 端均被清 0；当 $R_9(1)$ 、 $R_9(2)$ 均为高电平时， Q_D 、 Q_A 端均为高电平；当 $R_0(1)$ 、 $R_0(2)$ 中有一个为低电平且 $R_9(1)$ 、 $R_9(2)$ 中也有一个为低电平时，计数器工作在计数状态。

表 5-12 74LS90 状态表

$R_0(1)$	$R_0(2)$	$R_9(1)$	$R_9(2)$	Q_D	Q_C	Q_B	Q_A
H	H	L	×	L	L	L	L
H	H	×	L	L	L	L	L
×	×	H	H	H	L	L	H
×	L	×	L	计数			
L	×	L	×	计数			
L	×	×	L	计数			
×	L	L	×	计数			



(1) 1 位二进制计数器

74LS90 的 CP_A 和 Q_A 构成 1 位二进制计数器, 当 CP_A 端输入第 1 个时钟脉冲时, $Q_A=1$, 输入第 2 个脉冲时, $Q_A=0$ 。

(2) 五进制计数器

CP_B 和 Q_D 、 Q_C 、 Q_B 组成五进制计数器, 当 CP_B 端输入第 1 个脉冲时, $Q_DQ_CQ_B=001$, 输入第 2 个脉冲时, $Q_DQ_CQ_B=010$, 输入第 3、4 个脉冲时, $Q_DQ_CQ_B$ 变化为 011、100, 输入第 5 个脉冲时, $Q_DQ_CQ_B$ 变为 000。

(3) 8421 码十进制计数器

将 1 位进制计数器的输出端 Q_A 与五进制计数器的 CP_B 连接时, 可组成 8421 码十进制计数器, 如图 5-24 所示。当 0~9 个时钟脉冲不断从 CP_A 端输入时, $Q_DQ_CQ_BQ_A$ 状态变化为 0000、0001、0010、…、1000 变化到 1001, 第 10 个时钟脉冲输入时, $Q_DQ_CQ_BQ_A$ 变为 0000, 具体见表 5-13。

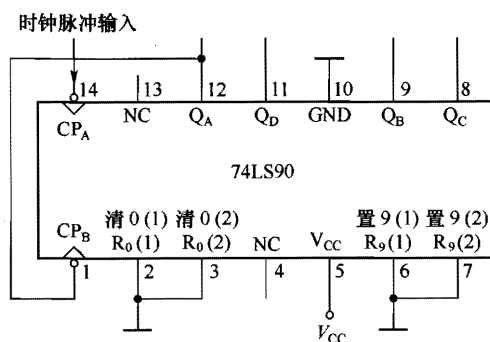


图 5-24 由 74LS90 构成的 8421 码十进制计数器

表 5-13 74LS90 用作 8421 码十进制计数器的计数表

CP_A	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H



（4）5421 码十进制计数器

将五进制计数器的 Q_D 端与 1 位进制计数器的 CP_A 连接时，可组成 5421 码十进制计数器，如图 5-25 所示，此时计数器 Q_A 、 Q_D 、 Q_C 、 Q_B 的位权分别是 5、4、2、1。当 0~4 个时钟脉冲不断从 CP_B 端输入时， $Q_A Q_D Q_C Q_B$ 状态变化为 0000、0001……0100，第 5 个时钟脉冲输入时， $Q_A Q_D Q_C Q_B$ 变为 1000，当 6~9 个时钟脉冲从 CP_B 端输入时， $Q_A Q_D Q_C Q_B$ 状态变化为 1001、1010……1100，第 10 个时钟脉冲输入时， $Q_A Q_D Q_C Q_B$ 变为 0000，具体见表 5-14。

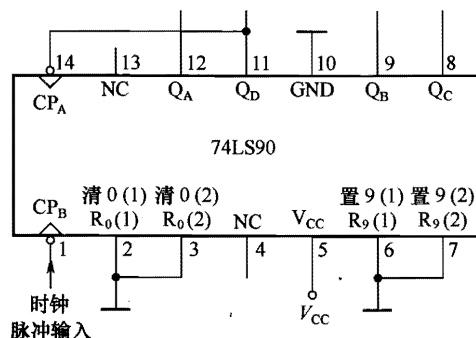


图 5-25 由 74LS90 构成的 5421 码十进制计数器

表 5-14 74LS90 用作 5421 码十进制计数器的计数表

CP_B	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

（5）六进制计数器

在 8421 码十进制计数器（ Q_A 与 CP_B 连接）的基础上，将 Q_B 接 $R_0(1)$ ， Q_C 接 $R_0(2)$ 可组成六进制计数器，如图 5-26 所示。当时钟脉冲不断从 CP_A 端输入时， $Q_C Q_B Q_A$ 状态变化为 000、001……101，第 6 个时钟脉冲输入时， $Q_C Q_B Q_A$ 变为 110，但 $Q_C Q_B Q_A=110$ 是不稳



定的, Q_C 、 Q_B 的“1”反馈到 $R_0(2)$ 、 $R_0(1)$, 计数器迅速被清 0, $Q_C Q_B Q_A$ 变为 000, 然后再重新计数。

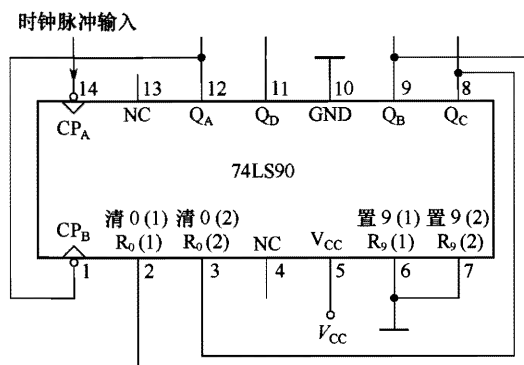


图 5-26 由 74LS90 构成的六进制计数器

2. 同步计数器芯片 74LS190

74LS190 是同步十进制加/减计数器 (又称可逆计数器), 它依靠加/减控制端的控制来实现加法计数和减法计数。

74LS190 引脚排列如图 5-27 所示, 各脚功能说明如下。

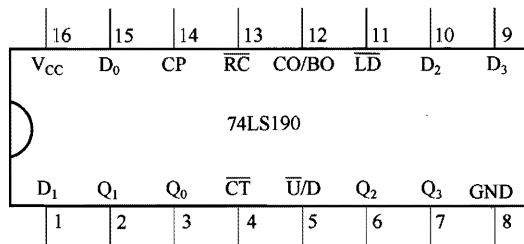


图 5-27 74LS190 引脚排列

CO/BO: 进位输出/借位输出端;

CP: 时钟输入端;

\overline{CT} : 计数控制端 (低电平有效);

$D_0 \sim D_3$: 并行数据输入端;

\overline{LD} : 异步并行置入控制端 (低电平有效);

$Q_0 \sim Q_3$: 输出端;

\overline{RC} : 行波时钟输出端 (低电平有效);

$\overline{U/D}$: 加/减计数方式控制端。

表 5-15 为 74LS190 的状态表, 从表中可以看出, 74LS190 工作状态有 4 种: 置数、加法计数、减计数和保持。



表 5-15 74LS190 状态表

输 入								输 出			
$\overline{\text{LD}}$	$\overline{\text{CT}}$	$\overline{\text{U/D}}$	CP	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	x	x	x	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
1	0	0	\uparrow	x	x	x	x	加 计 数			
1	0	1	\uparrow	x	x	x	x	减 计 数			
1	1	x	x	x	x	x	x	保 持			

(1) 置数

74LS190 置数（或称预置）是异步的。当置入控制端（ $\overline{\text{LD}}$ ）为低电平时，不管时钟 CP 端状态如何，输出端（ $Q_0 \sim Q_3$ ）即可预置成与数据输入端（ $D_0 \sim D_3$ ）相一致的状态。

(2) 计数

74LS190 采用同步计数方式。当 $\overline{\text{CT}}=0$ 、 $\overline{\text{U/D}}=0$ 时进行加计数；当 $\overline{\text{CT}}=0$ 、 $\overline{\text{U/D}}=1$ 时进行减计数。只有在 CP 为高电平时， $\overline{\text{CT}}$ 和 $\overline{\text{U/D}}$ 才可以跳变。

74LS190 有超前进位功能。当计数上溢或下溢时，进位/借位输出端（CO/BO）输出一个宽度约等于 CP 脉冲周期的高电平脉冲，行波时钟输出端（ $\overline{\text{RC}}$ ）输出一个宽度等于 CP 低电平部分的低电平脉冲。

(3) 保持

当 $\overline{\text{LD}}=1$ 、 $\overline{\text{CT}}=1$ 时，74LS190 工作在保持状态，在该状态下，即使 CP 端输入时钟脉冲，输出端（ $Q_0 \sim Q_3$ ）数据也不会发生变化。

5.4 电子密码控制器的电路原理与实验

电子密码控制器是一种只有输入正确密码才能输出控制信号的电路，给它外接其他一些设备可以制作各种密码控制器，如电子密码锁、电子密码控制开关等。

5.4.1 电路原理

1. 电路原理图

图 5-28 所示是电子密码控制器的电路原理图，图中的 CD4520 为双 4 位二进制同步计数器芯片，内部有两个功能相同的 4 位二进制同步计数器单元，CD4073 为三 3 输入与门，内部有 3 个与门单元，每个与门有 3 个输入端。

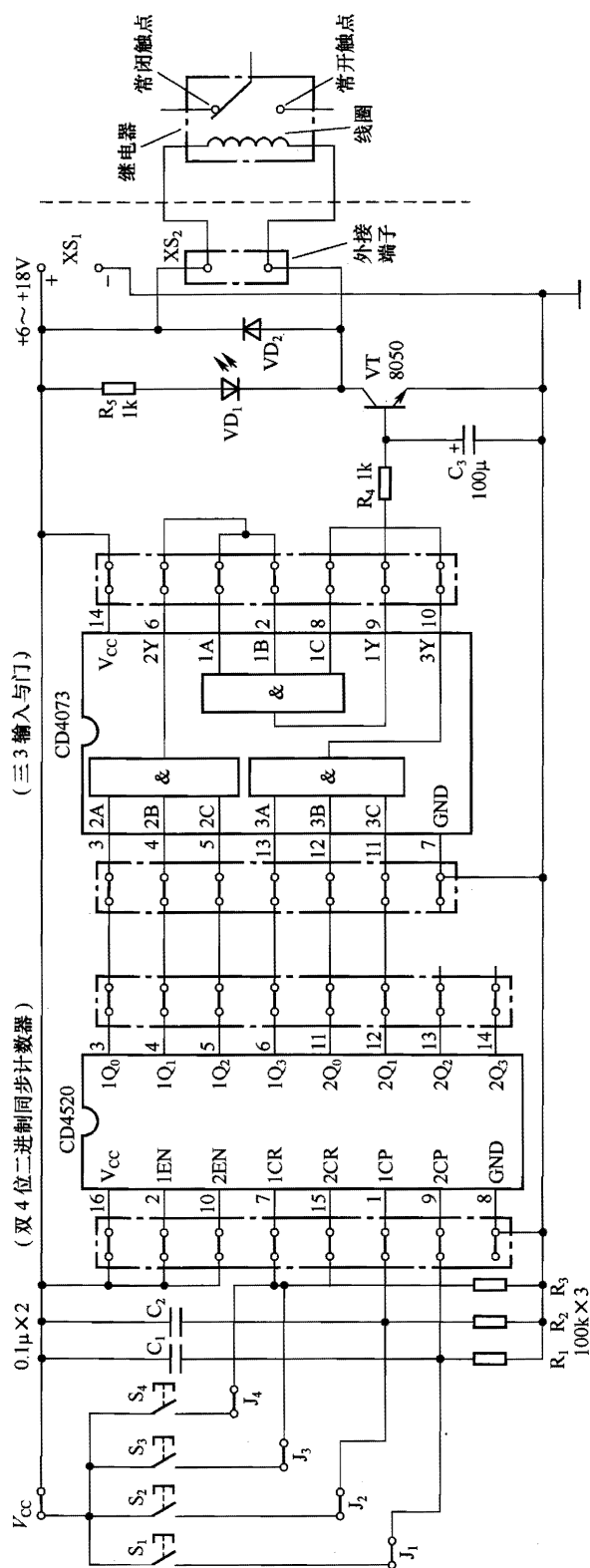


图 5-28 电子密码控制器的电路原理图



2. CD4520 介绍

CD4520 为双 4 位二进制同步计数器芯片，其结构和引脚功能如图 5-29 所示。表 5-16 为 CD4520 的状态表，从表可以看出，CD4520 具有加计数、数据保持和清 0 功能。CD4520 在两种情况下会执行加计数功能：① $CR=0$ ， $EN=1$ ，CP 输入脉冲上升沿；② $CP=0$ ， $CR=0$ ，EN 输入脉冲下降沿。

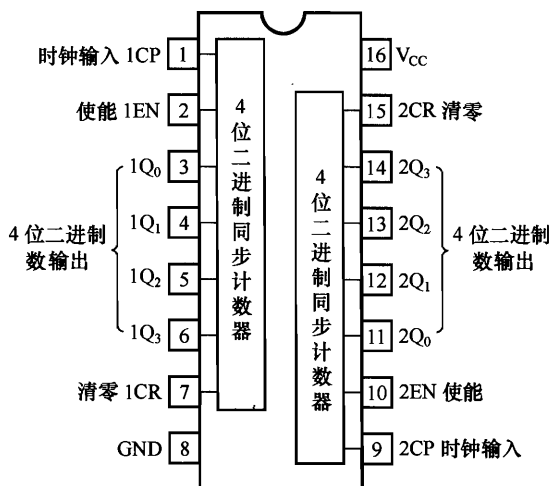


图 5-29 CD4520 的结构与各引脚功能

表 5-16 CD4520 状态表

输 入			输 出
CP	CR	EN	
↑	L	H	加计数
L	L	↓	加计数
↓	L	×	保持
×	L	↑	
↑	L	L	
H	L	↓	
×	H	×	清零

CD4520 的功能还可以用图 5-30 所示的输入/输出波形图来说明，从图也可以看出，当 $CR=0$ ， $EN=1$ 时，0~15 个 CP 脉冲上升沿依次来到时，计数器输出数据 $Q_3Q_2Q_1Q_0$ 会从 0000 变到 1111，第 16 个脉冲来时，数据又变为 0000，这时若 $CP=0$ 、 $CR=0$ ，EN 输入脉冲下降沿，计数器也会开始加计数，若 CR 变为 1，计数器会清 0， $Q_3Q_2Q_1Q_0=0000$ 。

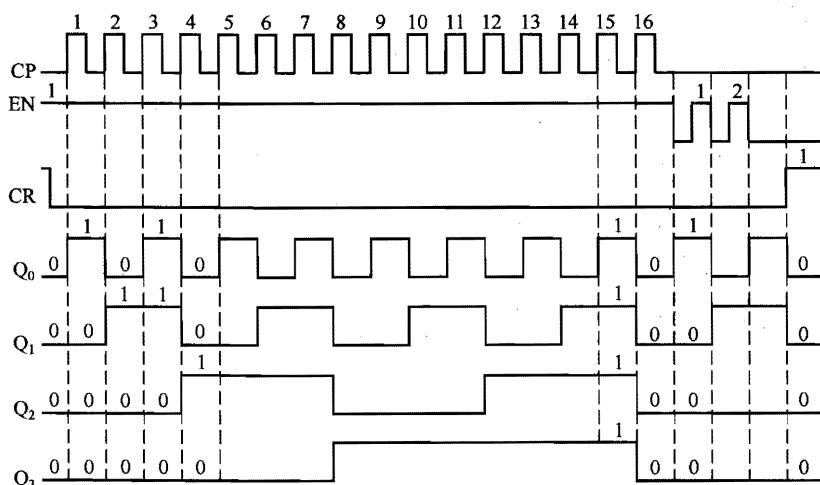


图 5-30 CD4520 的波形图

3. 电子密码控制器工作原理

电子密码控制器电路原理图参见图 5-28。图中 S_1 、 S_2 按键分别接 CD4520 的 2CP、1CP 引脚，每按压一次按键，就给 CP 端输入一个脉冲上升沿，计数器输出数据就会累加 1，从图中不难看出，只有 $1Q_31Q_21Q_11Q_0=1111$ 、 $2Q_32Q_2=11$ 时，CD4073 两个与门输入才都为 1，第 3 个与门输出端⑨脚才为高电平，⑨脚高电平经 R_4 、 C_3 滤波后送到三极管 VT 基极，VT 导通，有电流流过发光二极管 VD_1 ， VD_1 被点亮，若给 XS_2 端子外接继电器线圈，则有电流流线圈，线圈产生磁场，对触点产生吸合动作，使常开触点闭合、常闭触点断开，从而控制与继电器触点连接的电路。

要使 CD4520 的 $1Q_31Q_21Q_11Q_0=1111$ 、 $2Q_32Q_2=11$ ，须按压 S_1 按键 3 次，按压 S_2 按键 15 次， S_1 、 S_2 按压次数不对，CD4073⑨脚不会输出高电平，控制器不能产生控制动作。 S_3 、 S_4 为伪码按键，它们与清 0 端 1CR、2CR 连接，按下 S_3 、 S_4 任意一个，均会对 CD4520 内的两个计数器进行清 0，提高控制器的试探解密难度。

电子密码控制器设置密码有两种方法：一是改变 S_1 、 S_2 、 S_3 、 S_4 与 1CP、2CP、1CR、2CR 的连接；二是改变 $1Q_3$ 、 $1Q_2$ 、 $1Q_1$ 、 $1Q_0$ 、 $2Q_3$ 、 $2Q_2$ 、 $2Q_1$ 、 $2Q_0$ 与 2A、2B、2C、3A、3B、3C 的连接。

密码设置与解密举例：将 S_1 、 S_3 接 CR 端（1CR 和 2CR 已连接在一起）， S_2 接 2CP， S_4 接 1CP，2A、2B、2C 分别接 $1Q_3$ 、 $1Q_2$ 、 $1Q_1$ ，3A、3B、3C 分别接 $2Q_3$ 、 $2Q_2$ 、 Q_0 ，那么解密的方法是按压 S_2 键 13 次，让 $2Q_32Q_22Q_12Q_0=1101$ ，按压 S_4 键 14 次，让 $1Q_31Q_21Q_11Q_0=1110$ 。对于不知道控制器线路连接方法的人，如果采用试探的方法来解密，首先要从 4 个按键中试出 2 个有效键，还要试探 2 个有效键的按压次数，无疑解密难度很大，如果将 4 个按键改为 10 个键，其中 8 个伪码键都连接到 CR 端，电子密码控制器解密成功率将会极低。

4. 按键防抖电路

图 5-28 中的 C_1 、 C_2 功能是抑制按键抖动干扰。图 5-31 (a) 所示是一个按键输入电路，按下按键 S，给 IC 输入一个“0（低电平）”，当 S 断开，会给 IC 输入一个“1（高电平）”。实际上，当按下按键 S 时，由于手的抖动，S 会断开、闭合几次，然后稳定闭合，所以按下按钮时，给 IC 输入的低电平不稳定，而是高、低电平变化几次（持续 10~20ms），如图 5-31 (b) 所示，再保持为低电平，同样在 S 弹起时也有这种情况。按键抖动产生的干扰信号易使电路产生误动作，解决方法就是消除按键的抖动。

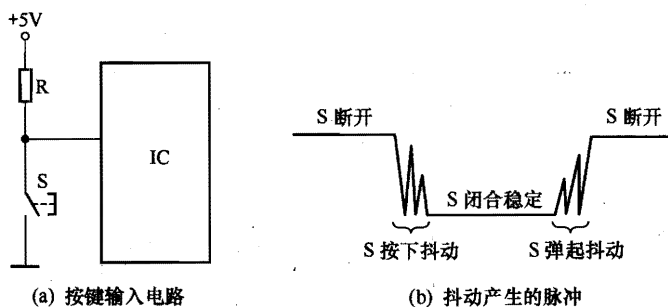


图 5-31 按键防抖说明图

按键防抖方法很多，较简单的方法是在按键两端并联电容，如图 5-32 所示。

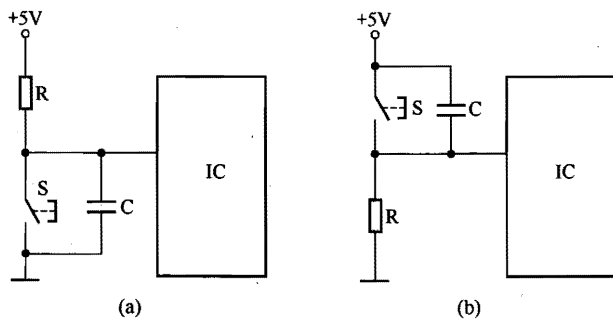


图 5-32 两种简单的防抖电路

在图 5-32 (a) 所示电路中，当按键 S 断开时，+5V 电压经电阻 R 对电容 C 充电，在 C 上充得 +5V 电压，当按下按键时，S 闭合，由于按键电阻小，电容 C 通过按键迅速将两端电荷放掉，两端电压迅速降低（接近 0），IC 输入为低电平，若手发生抖动导致按键短时刻断开，+5V 电压经 R 对 C 充电，但由于 R 阻值大，短时间电容 C 充电很少，电容两端电压基本不变，IC 输入仍为低电平，从而消除了按键抖动。

图 5-32 (b) 所示防抖动电路工作原理读者可自己分析。

如果采用图 5-32 所示的防抖电路，选择 RC 的值比较关键，RC 元件的值可以用下面



的式子计算

$$t < 0.357RC$$

因为抖动时间一般为 $10 \sim 20\text{ms}$ ，如果 $R=10\text{k}\Omega$ ，那么 C 可在 $2.8 \sim 5.6\mu\text{F}$ 之间选择，通常选择 $3.3\mu\text{F}$ 。

5.4.2 实验操作

对照图 5-28 所示的电子密码控制器电路原理图，进行如下实验操作。

第一步：用导线将 J_1 、 J_2 、 J_3 、 J_4 插件分别与 CD4520 的 2CP、1CP、1CR、2CR 引脚连接（图中已连接好）。

第二步：用导线将 CD4073 的 2A~2C、3A 和 3B、3C 引脚分别与 CD4520 的 $1Q_0 \sim 1Q_3$ 和 $2Q_0$ 、 $2Q_1$ 引脚连接（图中已连接好）。

第三步：给电子密码控制器接通电源。

第四步：先按压 S_3 或 S_4 键，对 CD4520 输出进行清 0，然后按压 S_1 键_____次，按压 S_2 键_____次，指示灯 VD_1 会变亮，说明输入密码正确，控制器有控制信号输出。

第五步：先按压 S_3 或 S_4 键，然后按压 S_2 键，从第 1 次按压 S_2 键开始到按压 16 次， $1Q_3 \sim 1Q_0$ 引脚电平变化规律依次是 0001、_____。

第六步：按 J_1 -1CP、 J_2 -2CP、 J_3 -2CR、 J_4 -2CP 的对应方法改变 $J_1 \sim J_4$ 与 CD4520 的连接方式，那么有效键是_____，伪键是_____。

第七步：在 $J_1 \sim J_4$ 与 CD4520 按图 5-28 连接不变的情况下，将 CD4520 和 CD4073 按 $1Q_0$ -2A、 $1Q_1$ -2B、 $2Q_2$ -2C、 $2Q_0$ -3A、 $2Q_1$ -3B、 $2Q_3$ -3C 方式连接，那么按压 S_1 键_____次，按压 S_2 键_____次，才能实现解密，让控制器输出控制信号。

第八步：拆下 C_1 或 C_2 ，再按正确次数对有效键进行操作，分析控制器是否产生输出，若无输出，原因是_____。



习题5

一、填空题

1. 时序逻辑电路是一种具有_____功能的电路，它由_____电路与_____电路组合而成的。常见时序逻辑电路有_____、_____和_____等。
2. 触发器是_____电路中的基本单元电路。触发器的种类很多，_____是一种结构最简单的触发器，其他类型触发器大多是在这种触发器基础上进行改进而得到的。
3. 对于基本 RS 触发器， $\bar{R}=1$ 、 $\bar{S}=1$ 时的功能是_____， $\bar{R}=0$ 、 $\bar{S}=1$ 时的功能是_____， $\bar{R}=1$ 、 $\bar{S}=0$ 时的功能是_____， $\bar{R}=0$ 、 $\bar{S}=0$ 时的功能是_____。
4. 时钟脉冲每个周期可分为 4 个部分，分别是_____、_____、_____和_____。
5. 同步 RS 触发器是在基本 RS 触发器的基础上增加了两个_____和_____输入端构成的。同步 RS 触发器在_____时钟脉冲时不工作，在_____时钟脉冲时，其逻辑功能与基本 RS 触发器相同，即_____、_____和_____。
6. D 触发器又称为_____或_____，其逻辑功能是：在无 CP 脉冲时_____；在有 CP 脉冲时_____。
7. 对于 JK 触发器， $J=1$ 、 $K=1$ 时的功能是_____， $J=1$ 、 $K=0$ 时的功能是_____， $J=0$ 、 $K=1$ 时的功能是_____， $J=0$ 、 $K=0$ 时的功能是_____。
8. T 触发器又称_____触发器，将 JK 触发器的 J、K 两个输入端_____就构成了 T 触发器，这种触发器的逻辑功能是_____和_____。
9. 在一个时钟脉冲持续期间，触发器的状态_____的现象称为空翻。克服空翻常用的方法是采用_____或_____。
10. 主从触发器同时拥有_____触发器和_____触发器，当一个触发器工作时，另一个触发器不工作，将_____与_____隔离开，有效地解决了输入信号变化对输出的影响问题。边沿触发器只有在 CP 脉冲_____或_____来时输入才有效，其他期间处于_____状态，即使输入信号变化也不会影响触发器的输出状态。
11. 寄存器是一种能存取_____的电路。将数据存入寄存器的过程称为_____，将数据从寄存器中取出的过程称为_____，寄存器能存储数据是因为它采用了具有记忆功能的电路——_____。
12. 移位寄存器除了具有_____的功能外，还有_____的功能。按数据的移动方向来分，有_____寄存器、_____寄存器和_____寄存器。
13. 逐位输入数据的方式称为_____输入，同时输出多位数据的方式称为_____输出。移位寄存器具有延时功能，其延迟时间与_____有关。



14. 计数器是一种具有_____功能的电路,它主要由_____和_____组成。计数器可分为_____计数器和_____计数器。
15. N 位二进制加法器计数器的最大计数为_____个,所以 3 位异步二进制加法计数器最大计数为_____个。异步二进制加法计数器除了能计数外,还具有_____作用。
16. 十进制计数器与 4 位二进制计数器有些相似,但 4 位二进制计数器需要计数到_____然后才能返回到 0000,而十进制计数器要求计数到_____就返回 0000。
17. 2^n 进制计数器就至少要用到_____个触发器,例如八进制计数器需要用到_____个触发器,十二进制计数器需要用到_____个触发器,六十进制计数器要用到_____个触发器。

二、分析画图题

1. 在图 5-33 所示电路中, D 触发器的初始状态 $Q=0$, 现让 $R=1$, 再给触发器输入图示的 D 脉冲和 CP 脉冲, 请画出 D 触发器 Q 端和 \bar{Q} 端输出脉冲的波形。

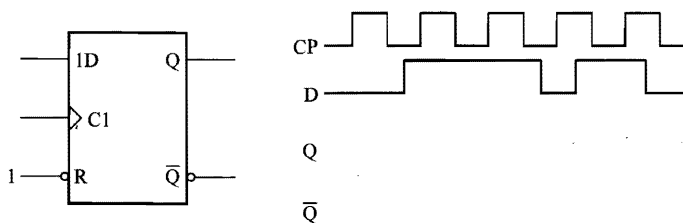


图 5-33

2. 在图 5-34 所示电路中, 各触发器的初始状态 $Q=0$, 现给电路输入图示的 A、B 脉冲和 CP 脉冲, 请画出 Q_1 、 Q_2 端输出脉冲的波形。

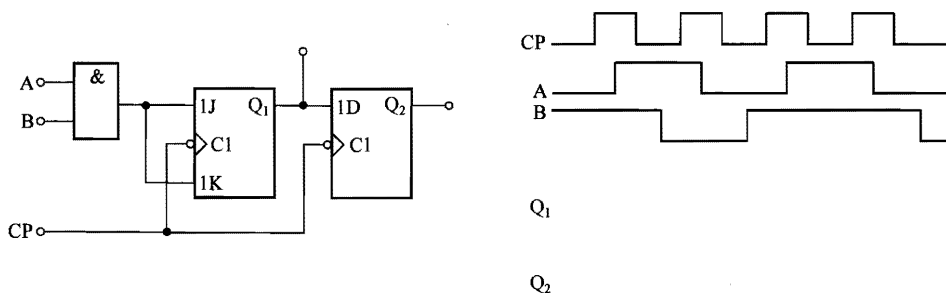


图 5-34

第6章

脉冲电路

本章知识结构

- 6.1 脉冲电路基础
 - 6.1.1 脉冲的基础知识
 - 6.1.2 RC 电路
- 6.2 脉冲产生电路
 - 6.2.1 多谐振荡器
 - 6.2.2 锯齿波发生器
- 6.3 脉冲整形电路
 - 6.3.1 单稳态触发器
 - 6.3.2 施密特触发器
 - 6.3.3 限幅电路
- 6.4 555 定时器
 - 6.4.1 结构与原理
 - 6.4.2 应用
- 6.5 电子催眠器的电路原理与实验
 - 6.5.1 电子催眠原理
 - 6.5.2 电路原理
 - 6.5.3 实验操作及分析



脉冲电路主要包括脉冲产生电路和脉冲整形电路。脉冲产生电路的功能是产生各种脉冲信号,如时钟信号。脉冲整形电路的功能是对已有的信号进行整形,以得到符合要求的脉冲信号。

6.1 脉冲电路基础

6.1.1 脉冲的基础知识

1. 脉冲信号的定义

脉冲信号是指在短暂时间内作用于电路的电压或电流信号。常见的脉冲信号如图 6-1 所示,该图列出了矩形波、锯齿波、钟形波、尖峰波、梯形波和阶梯波等波形的一些脉冲信号。

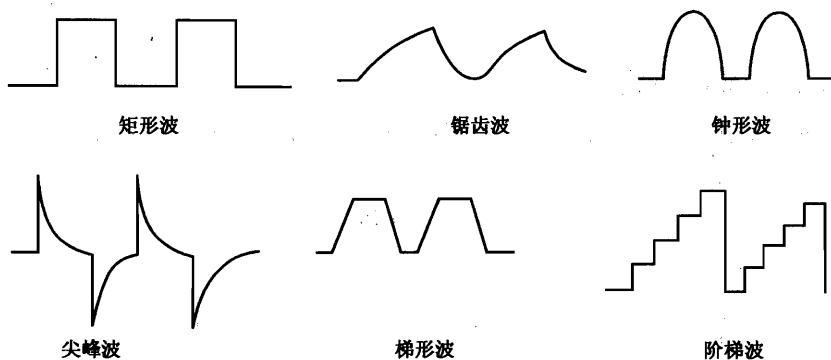


图 6-1 常见的脉冲信号

2. 脉冲信号的参数

在众多的脉冲信号中,应用最广泛的是矩形脉冲信号,实际的矩形脉冲信号如图 6-2 所示。下面以该波形来说明脉冲信号的一些参数。

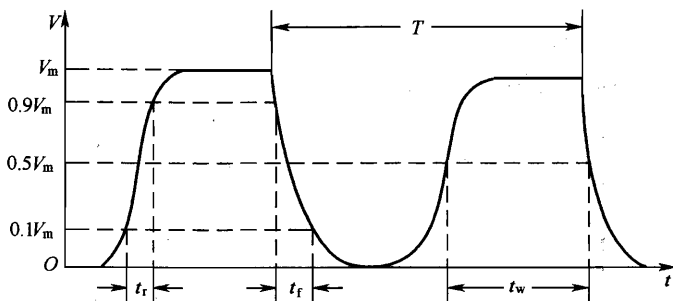


图 6-2 矩形脉冲信号

脉冲信号的参数有以下几个。

- ① 脉冲幅度 V_m ：它是指脉冲的最大幅度。
- ② 脉冲的上升沿时间 t_r ：它是指脉冲从 $0.1V_m$ 上升到 $0.9V_m$ 所需的时间。
- ③ 脉冲的下降沿时间 t_f ：它是指脉冲从 $0.9V_m$ 下降到 $0.1V_m$ 所需的时间。
- ④ 脉冲的宽度 t_w ：它是指从脉冲前沿的 $0.5V_m$ 到脉冲后沿 $0.5V_m$ 处的时间长度。
- ⑤ 脉冲的周期 T ：它是指在周期性脉冲中，相邻的两个脉冲对应点之间的时间长度。

它的倒数就是这个脉冲的频率 $f=1/T$ 。

⑥ 占空比 D ：它是指脉冲宽度与脉冲周期的比值，即 $D=t_w/T$ ， $D=0.5$ 的矩形脉冲就称为方波。

6.1.2 RC 电路

RC 电路是指由电阻 R 和电容 C 组成的电路，它是脉冲产生和整形电路中常用到的电路。

1. RC 充、放电电路

RC 充、放电电路如图 6-3 所示，下面通过充电和放电两个过程来分析这个电路。

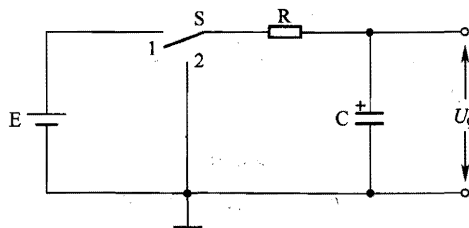


图 6-3 RC 充、放电电路

(1) RC 充电电路

RC 充电电路如图 6-4 所示。

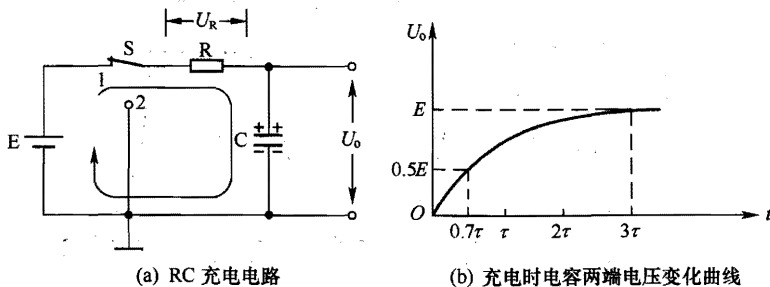


图 6-4 RC 充电电路



将开关 S 置于“1”处, 电源 E 开始通过电阻 R 对电容 C 充电, 由于刚开始充电时电容两端没有电荷, 故电容两端电压为 0, 即 $U_0=0$ 。从图可以看出 $U_R+U_0=E$, 因为 $U_0=0V$, 所以刚开始时 $U_R=E$, 充电电流 $I=U_R/R$, 该电流很大, 它对电容 C 充电很快。随着电容不断被充电, 它两端电压 U_0 很快上升, 电阻 R 两端电压 U_R 不断减小, 当电容两端充得电压 $U_0=E$ 时, 电阻两端电压 $U_R=0$, 充电结束。充电时电容两端电压变化曲线如图 6-4 (b) 所示。

电容充电速度与 R 、 C 的大小有关: R 的阻值越大, 充电越慢, 反之越快; C 的容量越大, 充电越慢, 反之越快。为了衡量 RC 电路充电快慢, 常采一个时间常数 τ (念作“tao”), 时间常数是指 R 和 C 的乘积, 即

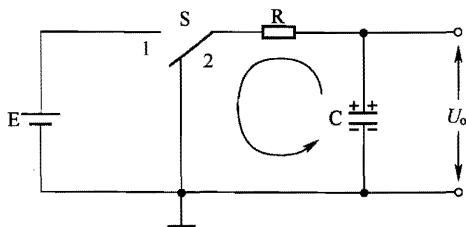
$$\tau=RC$$

τ 的单位是秒 (s), R 的单位是欧姆 (Ω), C 的单位是法拉 (F)。

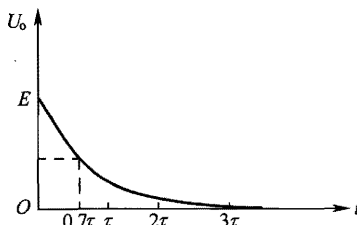
RC 充电电路在刚开始充电时充电电流大, 以后慢慢减小, 经过 $t=0.7\tau$, 电容上充得的电压 U_0 约有 $0.5E$ (即 $U_0 \approx 0.5E$), 通常规定在 $t=(3 \sim 5)\tau$ 时, $U_0 \approx E$, 充电过程基本结束。另外, RC 充电电路时间常数 τ 越大, 充电时间越长, 反之则时间越短。

(2) RC 放电电路

RC 放电电路如图 6-5 所示。



(a) RC 放电电路



(b) 放电时电容两端电压变化曲线

图 6-5 RC 放电电路

电容 C 充电后, 将开关 S 置于“2”处, 电容 C 开始通过电阻 R 放电, 由于刚开始放电时电容两端电压为 E , 即 $U_0=E$, 放电电流 $I=U_0/R$, 该电流很大, 电容 C 放电很快。随着电容不断放电, 它两端电压 U_0 很快下降, 因为 U_0 不断下降, 故放电电流也很快减小, 当电容两端电压 $U_0=0$ 时, 放电电流也为 0。放电结束, 放电时电容两端电压变化曲线如图 6-5 (b) 所示。

电容放电速度与 R 、 C 的大小有关: R 的阻值越大, 放电越慢, 反之越快; C 的容量越大, 放电越慢, 反之越快。

RC 放电电路在刚开始放电时放电电流大, 以后慢慢减小, 经过 $t=0.7\tau$, 电容上的电压

U_o 约下降到 $0.5E$ (即 $U_o \approx 0.5E$)，经过 $t = (3 \sim 5)\tau$ ， $U_o \approx 0$ ，放电过程基本结束；RC 放电电路的时间常数 τ 越大，放电时间越长，反之则时间越短。

2. RC 积分电路

RC 积分电路能将矩形波转变成三角波（或锯齿波）。RC 积分电路如图 6-6 (a) 所示，给积分电路输入图 6-6 (b) 所示的矩形脉冲 U_i 时，它就会输出三角波 U_o 。

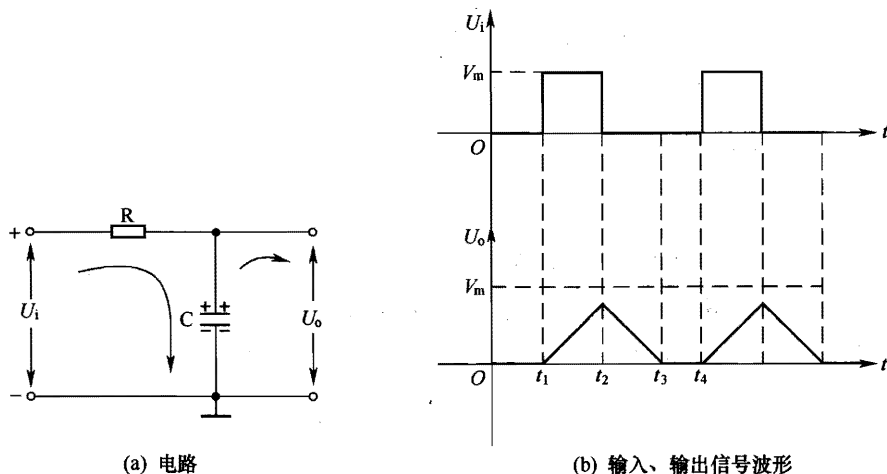


图 6-6 RC 积分电路

电路工作过程说明如下。

在 $0 \sim t_1$ 期间，矩形脉冲为低电平，输入电压 $U_i = 0$ ，无电压对电容 C 充电，故输出电压 $U_o = 0$ 。

在 $t_1 \sim t_2$ 期间，矩形脉冲为高电平，输入电压 U_i 的极性是上正下负，它经 R 对 C 充电，在 C 上充得上正下负的电压 U_o ，随着充电的进行， U_o 电压慢慢上升，因为积分电路的时间常数 $\tau = RC$ 远大于脉冲的宽度 t_w ，所以 t_2 时刻，电容 C 上的电压 U_o 无法充到矩形脉冲的幅度值 V_m 。

在 $t_2 \sim t_4$ 期间，矩形脉冲又为低电平，电容 C 上的上正下负电压开始往后级电路（未画出）放电，随着放电的进行， U_o 电压慢慢下降， t_3 时刻电容放电完毕， $U_o = 0V$ ，由于电容已放完电，故在 $t_3 \sim t_4$ 期间 U_o 始终为 0。

t_4 时刻以后，电路重复上述过程，从而在输出端得到图 6-6 (b) 所示的三角波 U_o 。

积分电路正常工作应满足：电路的时间常数 τ 应远大于输入矩形脉冲的脉冲宽度 t_w ，即 $\tau \gg t_w$ ，通常 $\tau \geq 3t_w$ 时就可认为满足该条件。

3. RC 微分电路

RC 微分电路能将矩形脉冲转变成宽度很窄的尖峰脉冲信号。RC 微分电路如图 6-7 所



示, 给微分电路输入图 6-7 (b) 所示的矩形脉冲 U_i 时, 它会输出尖峰脉冲信号 U_o 。

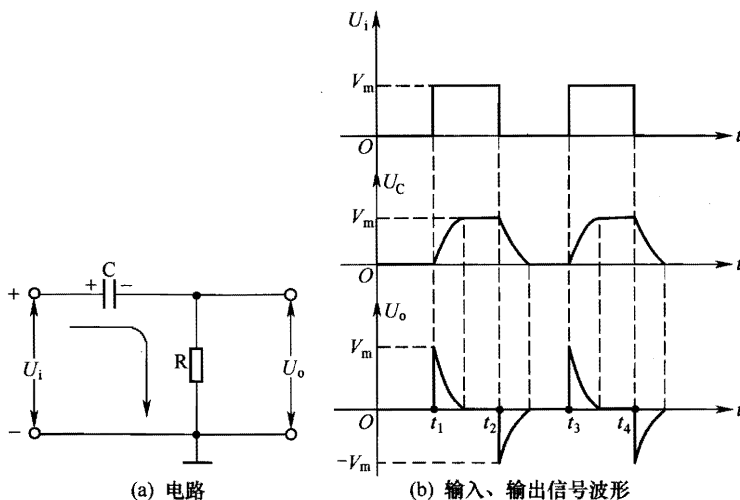


图 6-7 RC 微分电路

电路工作过程说明如下。

在 $0 \sim t_1$ 期间, 矩形脉冲为低电平, 输入电压 $U_i=0$, 无电流流过电容和电阻, 故电阻 R 两端电压 $U_o=0$ 。

在 $t_1 \sim t_2$ 期间, 矩形脉冲为高电平, 输入电压 U_i 的极性是上正下负, 在 t_1 时刻, 由于电容 C 还没被充电, 故电容两端的电压 $U_C=0$, 而电阻 R 两端的 $U_o=V_m$, t_1 时刻后 U_i 开始对电容充电, 由于该电路的时间常数很小, 因此电容充电速度很快, U_C 电压 (左正右负) 很快上升到 V_m , 该电压保持为 V_m 到 t_2 时刻, 而电阻 R 两端的电压 U_o 很快下降到 0。即在 $t_1 \sim t_2$ 期间, R 两端得到一个正的尖峰脉冲电压 U_o 。

在 $t_2 \sim t_3$ 期间, 矩形脉冲又为低电平, 输入电压 $U_i=0$, 输入端电路相当于短路, 电容 C 左端通过输入电路接地, 电容 C 相当于与电阻 R 并联, 电容 C 上的左正右负电压 V_m 加到电阻 R 两端, R 两端得到一个上负下正的 $-V_m$ 电压, $U_o=-V_m$ 。然后电容 C 开始通过输入端电路和 R 放电, 随着放电的进行, 由于 RC 电路时间常数小, 电容放电很快, 它两端电压下降很快, R 两端的负电压也快速减小, 当电容放电完毕, 流过 R 的电流为 0, R 两端电压 U_o 上升到 0, $U_o=0$ 一直维持到 t_3 时刻。即在 $t_2 \sim t_3$ 期间, R 两端得到一个负的尖峰脉冲电压 U_o 。

t_3 时刻以后, 电路重复上述过程, 从而在输出端得到图 6-7 (b) 所示的正负尖峰脉冲信号。

微分电路正常工作应满足: 电路的时间常数 τ 应远小于输入矩形脉冲的脉冲宽度 t_w , 即 $\tau \ll t_w$, 通常 $\tau \leq 1/5 t_w$ 时就可认为满足该条件。



6.2 脉冲产生电路

脉冲产生电路的功能是产生脉冲信号。常见的脉冲产生电路有多谐振荡器和锯齿波发生器。

6.2.1 多谐振荡器

多谐振荡器的功能是产生矩形脉冲信号。

1. 分立元件多谐振荡器

分立元件构成的多谐振荡器如图 6-8 所示。

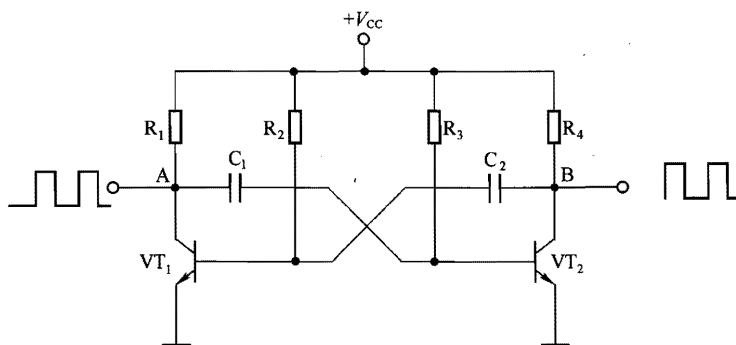


图 6-8 分立元件构成的多谐振荡器

从图 6-8 可以看出，多谐振荡器的结构上对称，并且三极管 VT_1 、 VT_2 同型号， $C_1=C_2$ ， $R_1=R_4$ ， $R_2=R_3$ 。

但实际上电路不可能完全对称，假设 VT_1 的 β 值略大于 VT_2 的 β 值，接通电源后， VT_1 的 I_{c1} 就会略大于 I_{c2} ，这样 VT_1 的 U_A 会略低于 VT_2 的 U_B ，即 U_A 电压偏低，由于电容两端电压不能突变， U_A 偏低的电压经电容 C_1 使 VT_2 的 U_{b2} 下降， U_{b2} 下降 $\rightarrow U_{c2}$ 上升（ $U_{b2} \downarrow \rightarrow I_{b2} \downarrow \rightarrow I_{c2} \downarrow \rightarrow U_{R4} \downarrow$ ， $U_{R4} = I_{c2} \cdot R_4 \rightarrow U_{c2} \uparrow$ ， $U_{c2} = V_{CC} - U_{R4}$ ） $\rightarrow U_B \uparrow$ ， U_B 上升经电容 C_2 使 VT_1 的 U_{b1} 上升， U_{b1} 上升使 U_A 下降，这样会形成强烈的正反馈，正反馈过程如下：

$$U_{b2} \downarrow \rightarrow U_{c2} \uparrow \rightarrow U_B \uparrow \rightarrow U_{b1} \uparrow \rightarrow U_{c1} \downarrow \rightarrow U_A \downarrow$$

↑

正反馈结果使 VT_1 饱和， VT_2 截止。 VT_1 饱和，A 点电压很低，相当于 A 点得到脉冲的低电平， VT_2 截止，B 点电压很高，相当于 B 点得到脉冲的高电平。

VT_1 饱和， VT_2 截止后，电源 V_{CC} 开始对 C_2 充电，充电途径是： $+V_{CC} \rightarrow R_4 \rightarrow C_2 \rightarrow VT_1$ 的 be 结 \rightarrow 地，结果在 C_2 上充得左负右正的电压， C_2 的左负电压使 VT_1 的 U_{b1} 电压下降，在 C_2 充电的过程中， VT_1 保持饱和状态， VT_2 保持截止状态，这段时间内 A 点保持低电平、B 点保持高电平。



当 C_2 充电到一定程度时, C_2 的左负电压很低, 它使 VT_1 由饱和退出进入放大状态, VT_1 的 I_{c1} 减小, U_A 电压上升, 经电容 C_1 使 VT_2 的 U_{b2} 电压上升, VT_2 由截止退出进入放大, 有 I_{c2} 电流流过 R_4 (截止时无 I_{c2} 电流流过 R_4), U_B 电压下降, 它经 C_2 使 VT_1 的 U_{b1} 下降, 这样又会形成强烈的正反馈, 正反馈过程如下:

$$U_{b2} \uparrow \rightarrow U_B \downarrow \rightarrow U_{b1} \downarrow \rightarrow U_A \uparrow$$

正反馈结果使 VT_1 截止, VT_2 饱和。 VT_1 截止, A 点电压很高, 相当于 A 点得到脉冲的高电平, VT_2 饱和, B 点电压很低, 相当于 B 点得到脉冲的低电平。

VT_1 截止, VT_2 饱和后, 电源 V_{CC} 开始对 C_1 充电, 充电途径是: $V_{CC} \rightarrow R_1 \rightarrow C_1 \rightarrow VT_2$ 的 bc 结 \rightarrow 地, 结果在 C_1 上充得左正右负的电压, C_1 的右负电压使 VT_2 的 U_{b2} 电压下降。与此同时, 电源也会经 R_2 对 C_2 反充电, 充电途径是: $V_{CC} \rightarrow R_2 \rightarrow C_2 \rightarrow VT_2$ 的 ce 极 \rightarrow 地, 反充电将 C_2 上左负右正的电压中和。在 C_1 充电的过程中, VT_1 保持截止状态, VT_2 保持饱和状态, 这段时间内 A 点保持高电平、B 点保持低电平。

当 C_1 充电到一定程度时, C_1 的右负电压很低, 它使 VT_2 由饱和退出进入放大状态, VT_2 的 I_{c2} 减小, U_B 电压上升, 经电容 C_2 使 VT_1 的 U_{b1} 电压上升, VT_1 由截止退出进入放大状态, 有 I_{c1} 电流流过 R_1 , U_A 电压下降, 它经 C_1 使 VT_2 的 U_{b2} 下降, 这样又会形成强烈的正反馈, 电路又重复前述过程。

从上面的分析可知, 三极管 VT_1 、 VT_2 交替饱和截止, 从而在 VT_1 、 VT_2 的集电极 (即 A、B 点) 会输出一对极性相反的矩形脉冲信号。

2. 环形多谐振荡器

环形多谐振荡器如图 6-9 所示, 它是由 3 个非门电路和 RC 元件构成的, 其中 R、C 元件是定时元件, 用来决定振荡电路的振荡频率, R_s 为非门 G_3 的输入限流电阻。

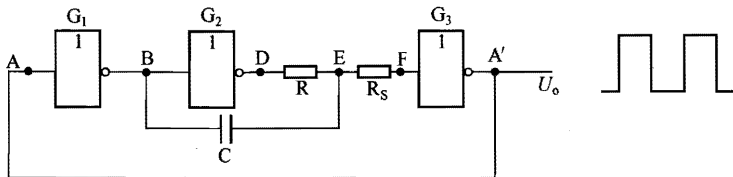


图 6-9 环形多谐振荡器

电路的工作原理说明如下。

假设接通电源后, 非门 G_3 的输出端 A' 电压 U_o 为低电平, 它直接送到非门 G_1 的输入端 A 点, 经非门 G_1 的作用, 输出端 B 点为高电平, B 点的高电平一方面通过非门 G_2 让 D 点变为低电平, 另外由于电容两端电压不能突变, 电容 C 的一端 B 点为高电平, 它的另一端 E 点也为高电平, E 点高电平经 R_s 使 F 点为高电平, 通过非门 G_3 的作用, 保证 A' 点为低

电平,即输出矩形脉冲的低电平。

在 A' 点为低电平期间, B 点的高电平开始对电容 C 充电, 充电途径是: B 点 → 电容 C → E 点 → 电阻 R → D 点 → 进入非门 G₂, 在电容 C 上充得左正右负的电压, 电容的右负电压使 E 点电压下降, F 点电压也跟着下降。在电容充电的这段时间内, 电路输出端一直维持为低电平, 此即为矩形脉冲低电平持续时间。

当 E 点电压下降使 F 点电压下降到非门 G₃ 的关门电平时, 非门 G₃ 输出端 A' 点为高电平, 它直接加到 A 点, 经非门 G₁ 作用后, B 点由高电平变为低电平, 由于非门 G₂ 的作用, D 点变为高电平, 因为电容两端电压不能突变, B 点的低电平经电容 C 加到 E 点, E 点为低电平, E 点的低电平经 R_s 使 F 点也为低电平, 经非门 G₃ 的作用, A' 点保持高电平, 即输出矩形脉冲的高电平。

在 A' 点为高电平期间, D 点的高电平开始对电容 C 反充电, 充电途径是: D 点 → 电阻 R → E 点 → 电容 C → B 点 → 进入非门 G₁, 充电先将电容上的左正右负电压中和, 再在电容 C 上充得左负右正的电压, 电容的右正电压使 E 点电压上升, F 点电压也跟着上升。在电容反充电这段时间内, 电路的输出端一直维持为高电平, 此即为矩形脉冲高电平持续时间。

当电容反充电使 E 点电压上升, 进而使 F 点电压上升到非门 G₃ 的开门电平时, 非门 G₃ 输出端 A' 点为低电平。此后电路会重复上述工作过程, 从而在输出端 A 点会输出矩形脉冲信号。

从上面的分析可知, 矩形脉冲的高、低电平的持续时间与 R、C 元件有关, 即 R、C 元件能决定矩形脉冲的周期。环形多谐振荡器的振荡周期 T 可按以下公式估算

$$T \approx 2.2RC$$

6.2.2 锯齿波发生器

锯齿波是指在一定的时间内电压和电流呈线性规律变化的信号, 由于波形与锯齿相似, 故称为锯齿波。锯齿波发生器的功能是产生锯齿波信号。

1. 简单的锯齿波发生器

锯齿波产生的简单方法是让矩形脉冲控制锯齿波形成电路, 让它产生锯齿波信号。简单的锯齿波发生器如图 6-10 所示, 它由三极管和 RC 充、放电电路组成, 三极管的状态受基极的矩形脉冲信号的控制。

当矩形脉冲信号低电平经 R₁ 送到 VT₁ 的基极时, VT₁ 截止, 电源 V_{CC} 经电阻 R₂ 对电容 C 充电, 充电途径是: V_{CC} → 电阻 R₂ → 电容 C → 地, 电容 C 上的电压慢慢上升, 形成锯齿波电压的前半段。

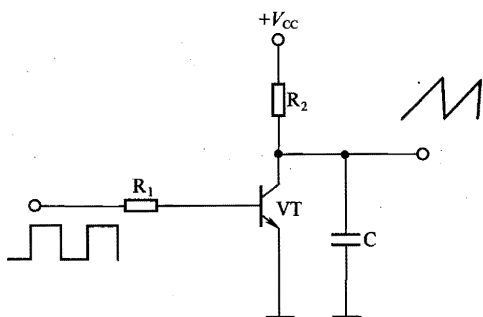


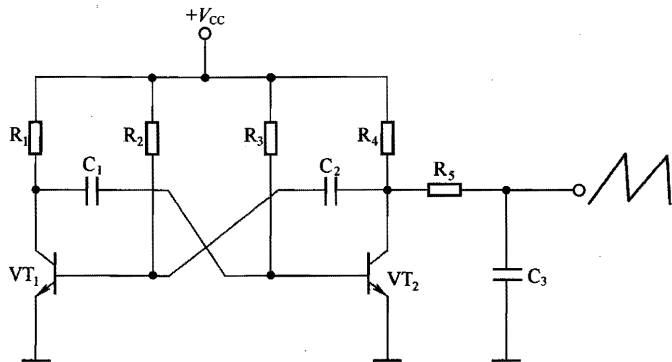
图 6-10 简单的锯齿波发生器

当矩形脉冲信号高电平经 R_1 送到 VT_1 的基极时, VT_1 饱和, 电容 C 经三极管 VT 的 c 、 e 极放电, 放电途径是: C 的上正 $\rightarrow VT_1$ 的 c 、 e 极 \rightarrow 地 $\rightarrow C$ 的下负, 电容 C 上的电压慢慢下降, 形成锯齿波电压的后半段。

由于充电时要经过电阻 R_2 , 充电电流小, C 上的电压上升慢, 故锯齿波的前半段时间长, 而放电时经过 VT_1 , 三极管饱和时 c 、 e 极之间阻值很小, 放电电流大, C 上的电压下降快, 故锯齿波的后半段时间短。

2. 常用的锯齿波发生器

很多电子设备中采用多谐振荡器和 RC 充、放电电路组合来构成锯齿波发生器, 图 6-11 所示就是一种由多谐振荡器和 RC 充、放电路构成的锯齿波发生器。

图 6-11 由多谐振荡器和 RC 充、放电路构成的锯齿波发生器

从图可以看出, 该锯齿波发生器由一个多谐振荡器和 R_5 、 C_3 充放电路构成。接通电源后, 多谐振荡器开始工作, VT_1 、 VT_2 交替导通、截止。多谐振荡器的工作过程如前所述, 这里省略。

当 VT_2 截止时, 电源 V_{CC} 经 R_4 、 R_5 对电容 C_3 充电, C_3 上的电压慢慢上升, 形成锯齿波电压的前半段; 当 VT_2 饱和时, C_3 经 VT_1 的 c 、 e 极放电, C_3 两端的电压下降, 从而形成锯齿波电压的后半段。



6.3 脉冲整形电路

脉冲整形电路的功能是对脉冲信号进行整形、延时等处理，使得到的脉冲信号符合要求。常见的脉冲整形电路有单稳态触发器、施密特触发器和限幅电路等。

6.3.1 单稳态触发器

单稳态触发器又称为单稳态电路，它是一种只有一种稳定状态的电路。如果没有外界信号触发，它始终保持一种状态不变，当有外界信号触发时，它将由一种状态转变成另一种状态，但这种状态是不稳定状态（称为暂态），一段时间后它会自动返回到原状态。

1. 结构与原理

单稳态触发器的形式很多，但基本原理是一样的，下面以图 6-12 所示的微分型单稳态电路为例来说明。从图中可以看出，该电路由一个与非门、一个非门和 RC 元件构成。

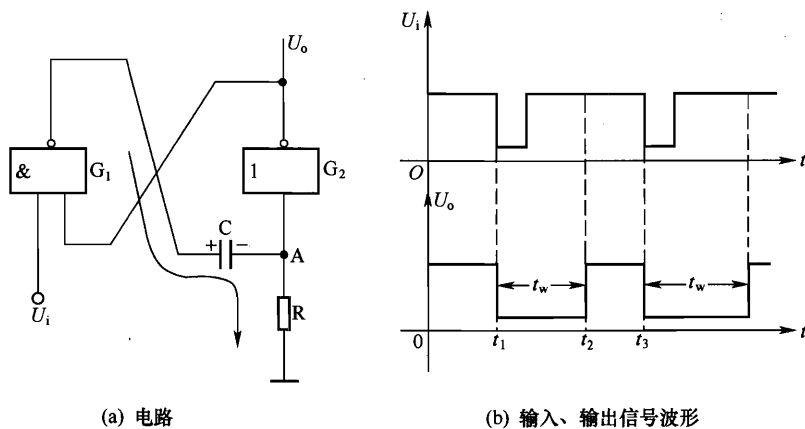


图 6-12 微分型单稳态电路

电路工作原理说明如下。

当无触发信号时， U_i 端为高电平“1”，由于电阻 R 的阻值较小，故非门 G_2 的输入端 A 点为“0”，输出端为“1”，它反馈到与门 G_1 的输入端， G_1 输出为“0”，经电容 C 反馈到 A 点，非门 G_2 输出仍为“1”。如果没有外界信号触发，单稳态触发器输出 U_o 将始终为高电平“1”，这是单稳态触发器的稳定状态。

在 t_1 时刻， U_i 端输入一个低电平触发信号（即输入为“0”），门 G_1 马上输出“1”，由于电容两端电压不能突变，电容 C 的一端电压升高，另一端 A 点电压也升高，即 A 点为高电平，门 G_2 输出转变为低电平“0”。即单稳态触发器由一种状态（“1”态）转变为另一种



状态(“0”),但这种状态是不稳定的(暂态)。

t_1 时刻后,单稳态触发器输出转变为“0”态,此时门 G_1 输出仍为高电平“1”,该高电平对电容 C 充电,途径是:门 G_1 输出端 \rightarrow 电容 C \rightarrow 电阻 R \rightarrow 地,在电容上充得左正右负的电压,随着充电的进行,电容 C 两端的电压不断增大,而 A 点电压则不断下降。在电容充电期间,单稳态触发器的输出维持暂态“0”。

在 t_2 时刻, A 点电压下降到门 G_2 的关门电平(相当于门 G_2 输入端变为“0”),门 G_2 输出变为“1”,由于 t_2 时刻 U_1 已经变为高电平“1”,门 G_1 输出为“0”,它经电容 C 使门 G_2 输入为“0”,保证让门 G_2 输出为“1”。即 t_2 时刻后,单稳态的暂态“0”结束,返回原稳定状态“1”。

如果 U_1 端再输入触发信号,单稳态触发器状态又将翻转,电路会重复上述工作过程。

从上述分析可知,单稳态触发器的暂态维持时间(即输出脉冲信号的宽度 t_w)与电路中的 RC 充、放电时间有关,一般 $t_w \approx 0.7RC$ 。另外,为了能让单稳态触发器能正常工作,要求触发信号的宽度不能很宽,应小于 t_w 。

2. 应用

单稳态触发器的主要功能有整形、延时和定时,具体应用很广泛,下面举例说明其应用。

(1) 整形功能的应用

利用单稳态触发器可以将不规则的信号转换成矩形脉冲信号,这就是它的整形功能。通过图 6-13 来说明单稳态触发器的整形原理。

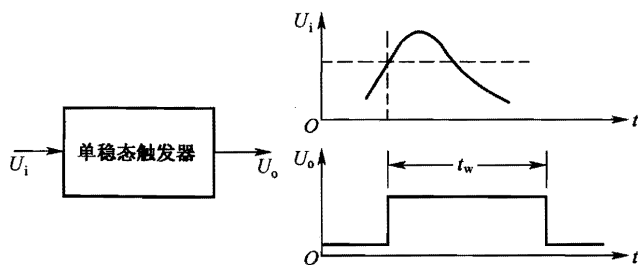


图 6-13 单稳态电路整形功能说明图

若给单稳态触发器输入端输入图示不规则信号 U_i 时,当 U_i 信号电压上升到一定值时,单稳态触发器被触发,状态改变,输出为高电平,过了 t_w 时间后,触发器又返回原状态,从而在输出端得到一个宽度为 t_w 矩形脉冲信号 U_o 。

(2) 延时功能的应用

利用单稳态触发器可以对脉冲信号进行一定的延时,这就是它的延时功能。下面通过图 6-14 来说明单稳态触发器延时原理。

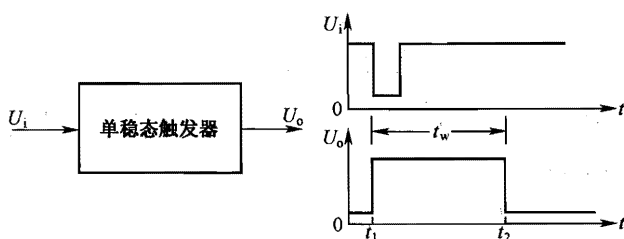


图 6-14 单稳态电路延时功能说明图

在 t_1 时刻，单稳态触发器输入信号 U_i 由高电平转为低电平，电路被触发，触发器由稳态“0”（低电平）转变成暂稳态“1”（高电平），在 t_2 时刻，单稳态触发器又返回到原状态“0”。

触发信号在 t_1 时刻出现下降沿，经单稳态触发器后，输出信号在 t_2 时刻出现下降沿， t_2 、 t_1 时刻之间的时间差为 t_w 。也就是说，当信号下降沿输入单稳态电路后，需要经过 t_w 时间后下降沿才能从触发器中输出。只要改变单稳态触发器中的 RC 元件的值，就能改变脉冲的延时时间。

（3）定时功能的应用

利用单稳态触发器可以让脉冲信号高、低电平能持续规定的时间，这就是它的定时功能。下面通过图 6-15 来说明单稳态触发器定时原理。

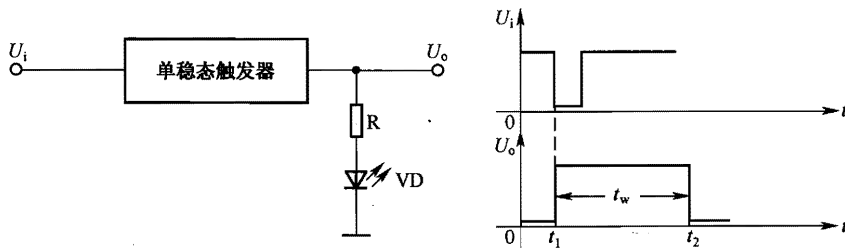


图 6-15 单稳态电路定时功能说明图

在 t_1 时刻时，单稳态触发器输入信号 U_i 由高电平转为低电平，电路被触发，触发器由稳态“0”（低电平）转变成暂稳态“1”（高电平），在 t_2 时刻，单稳态触发器又返回到原状态“0”。

从图可以看出，输入信号宽度很窄，而输出信号很宽，高电平持续时间为 t_w ，这可以让发光二极管在 t_w 时间内都能发光， t_w 时间的长短与与触发信号的宽度无关，只与单稳态触发器的 RC 元件有关，改变 RC 值就能改变 t_w 的值，就能改变发光二极管发光时间的长短。

3. 常用单稳态触发器芯片

74LS121 是一种常用的单稳态触发器芯片，其内部结构和各引脚排列如图 6-16 所示，状态表见表 6-1。

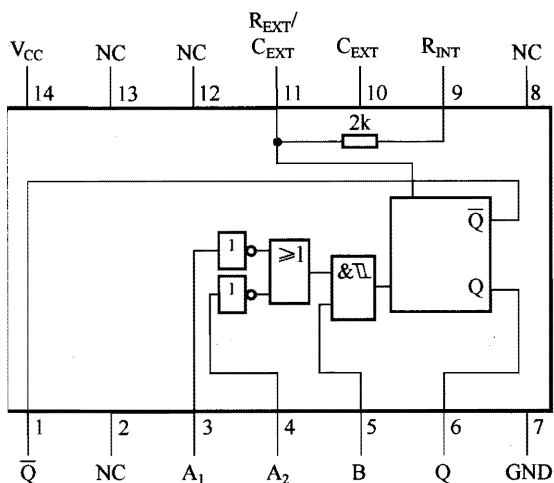


图 6-16 74LS121 内部结构与引脚排列

表 6-1 状态表

A_1	A_2	B	Q	\bar{Q}
L	x	H	L	H
x	L	H	L	H
x	x	L	L	H
H	H	x	L	H
H	↓	H	⌊	⌋
↓	H	H	⌊	⌋
↓	↓	H	⌊	⌋
L	x	↑	⌊	⌋
x	L	↑	⌊	⌋

(1) 触发方式

74LS121 有 A_1 、 A_2 、 B 3 个触发输入端, 从状态表可以看出, 74LS121 在以下情况下会被触发进入暂稳态:

- ① 当 B 端为高电平时, A_1 、 A_2 端中有一个为高电平, 一个发生 1 到 0 的跳变。
- ② 当 B 端为高电平时, A_1 、 A_2 端两个同时发生 1 到 0 的跳变。
- ③ 当 B 端发生 0 到 1 的跳变时, A_1 、 A_2 端中有一个为低电平。



（2）暂稳态持续时间

74LS121 被触发进入暂稳态后，暂稳态持续时间（脉冲宽度）与定时电容和定时电阻有关。

定时电容接在芯片的⑩、⑪脚，若所接为有极性的电解电容，电容正极要接⑩脚。

定时电阻有两种接法：内接电阻和外接电阻。在采用内接电阻时，只要将⑨脚与电源 V_{CC} （⑭脚）连接即可。在采用外接电阻时，应将⑨脚悬空，再在⑪脚和⑭脚之间接定时电阻。

74LS121 暂稳态持续时间为

$$t_w = 0.7RC$$

R 取值范围为 $2 \sim 14 \text{ k}\Omega$ ， C 的取值范围为 $10\text{pF} \sim 10\mu\text{F}$ ，脉冲宽度为 $20\text{ns} \sim 0.2\text{s}$ 。

6.3.2 施密特触发器

单稳态触发器只有一种稳定的状态，而施密特触发器有两种稳定的状态，它从一种状态转换到另一种状态需要相应的电平触发。

1. 结构与原理

施密特触发器种类较多，它们的工作基本原理相同，下面以图 6-17（a）所示的施密特触发器为例进行说明，其中图 6-17（a）所示为施密特触发器的电路结构，图 6-17（b）所示为电路的输入、输出信号波形，图 6-17（c）所示为图形符号。从图 6-17（a）可以看出，该施密特触发器由与非门、非门和二极管构成，其中 G_2 、 G_3 构成基本 RS 触发器。

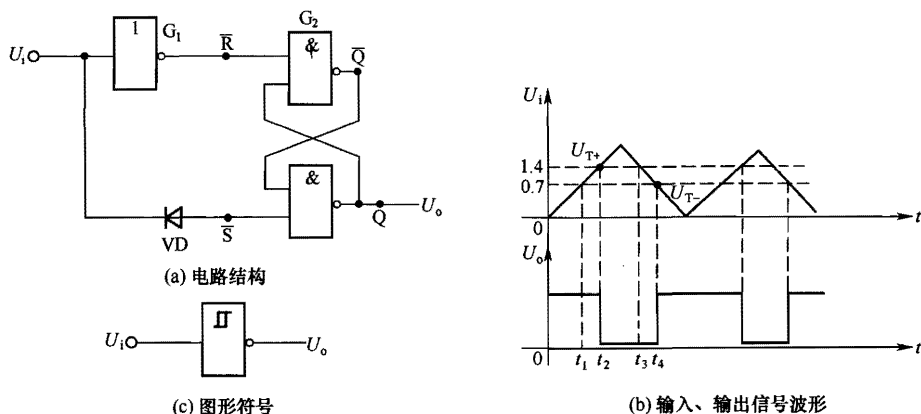


图 6-17 施密特触发器

电路工作原理说明如下。

为了分析方便，假设电路输入信号 U_i 为三角波，在该电路中， 1.4V 以上为高电平“1”， 1.4V 以下为低电平“0”，二极管 VD 的导通电压为 0.7V 。

在 $0 \sim t_1$ 期间，输入电压 U_i 由 0V 慢慢上升至 0.7V ，由于 U_i 低于 1.4V ，故电路的输入电平为“0”，非门 G_1 输出为“1”，在 U_i 由 0V 上升到 0.7V 时，RS 触发器的 \bar{S} 端电压始终低于



1.4V (\bar{S} 端电压较 U_i 电压高 0.7V), 即 $\bar{S}=0$, 基本 RS 触发器被置“1”, 输出端 U_o 为高电平。

在 $t_1 \sim t_2$ 期间, 输入电压 U_i 由 0.7V 慢慢上升至 1.4V, 由于 U_i 低于 1.4V, 故电路的输入电平为“0”, 非门 G_1 输出仍为“1”, 在 U_i 由 0.7V 上升到 1.4V 时, RS 触发器的 \bar{S} 端电压始终高于 1.4V (\bar{S} 端电压较 U_i 电压高 0.7V), 即 $\bar{S}=1$, 由于此时 $\bar{R}=1$, 故基本 RS 触发器状态保持为“1”, 输出端 U_o 仍为高电平。

在 $t_2 \sim t_3$ 期间, 输入电压 U_i 始终高于 1.4V, 电路的输入电平为“1”, 非门 G_1 输出为“0”, 即 $\bar{R}=0$, 在此期间, RS 触发器的 \bar{S} 端电压始终高于 2.1V, 即 $\bar{S}=1$, 因为 $\bar{R}=0$ 、 $\bar{S}=1$, 基本 RS 触发器状态为“0”, 输出端 U_o 变为低电平。

在 $t_3 \sim t_4$ 期间, 输入电压 U_i 低于 1.4V 但高于 0.7V, 电路的输入电平为“0”, 非门 G_1 输出为“1”, 即 $\bar{R}=1$, 在此期间, RS 触发器的 \bar{S} 端电压低于 2.1V 但高于 1.4V, 即 $\bar{S}=1$ 。因为 $\bar{R}=1$ 、 $\bar{S}=1$, 基本 RS 触发器状态保持为“0”, 输出端 U_o 仍为低电平。

t_4 时刻后, 输入电压 U_i 低于 0.7V, 电路的输入电平为“0”, 非门 G_1 输出为“1”, 即 $\bar{R}=1$, 在此期间, RS 触发器的 \bar{S} 端电压低于 1.4V, 即 $\bar{S}=0$ 。因为 $\bar{R}=1$ 、 $\bar{S}=0$, 基本 RS 触发器状态被置“1”, 输出端 U_o 变为高电平。

从上面分析可知, 当输入信号电压上升到一定电压时, 施密特触发器状态会从第一种状态转变为第二种状态, 当输入信号电压下降到一定值时, 它又会从第二种状态翻转到第一种状态。从图 6-17 (b) 所示的波形图可以看出, 输入信号两次触发电压是存在差距的, 这种情况称之为回差现象。这两个电压的差值称为回差电压 ΔU , 图中施密特触发器的回差电压 $\Delta U = U_{T+} - U_{T-} = 1.4 - 0.7 = 0.7V$ 。

2. 应用

施密特触发器的应用比较广泛, 下面介绍几种较常见的应用。

(1) 波形变换

利用施密特触发器可以将一些连续变化的信号 (如三角波、正弦波等) 转变成矩形脉冲信号。施密特触发器的波形变换说明如图 6-18 所示。当施密特触发器输入图示的正弦波信号或三角波信号时, 电路会输出图示相应的矩形脉冲信号。

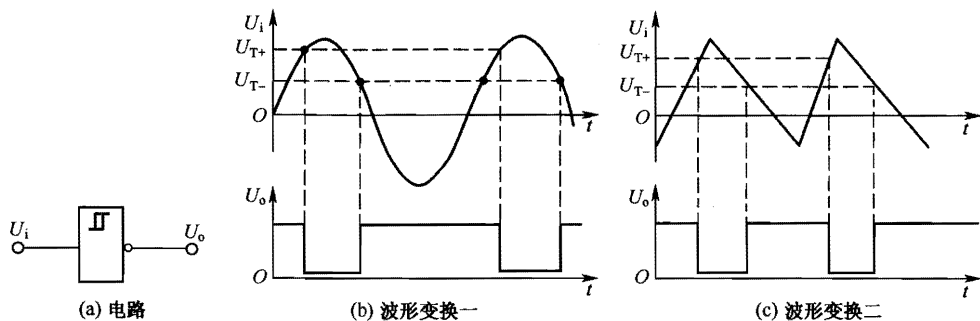


图 6-18 施密特触发器的波形变换说明图

（2）脉冲整形

如果脉冲产生电路产生的脉冲信号不规则，或者脉冲信号在传送过程中产生了畸变，利用施密特触发器的整形功能，可以将它们转换成规则的脉冲信号。施密特触发器的脉冲整形说明如图 6-19 所示。

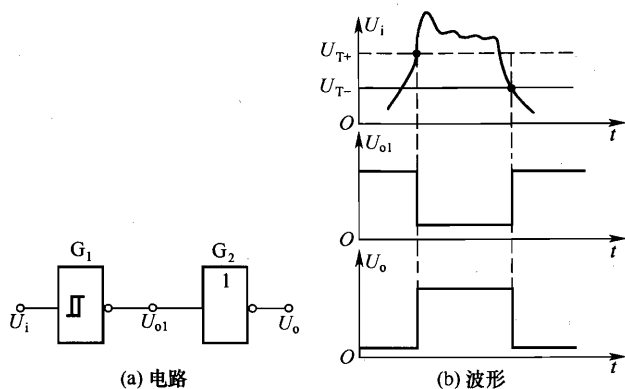


图 6-19 施密特触发器脉冲整形说明图

当施密特触发器输入图示不规则的矩形脉冲 U_i 时，会输出图示的矩形脉冲信号 U_{o1} ，再经非门倒相后在输出端得到规则的矩形脉冲信号 U_o 。

（3）用来构成单稳态触发器

将施密特触发器与 RC 元件组合起来可以构成单稳态电路，图 6-20 所示是一种由施密特触发器构成的单稳态电路。

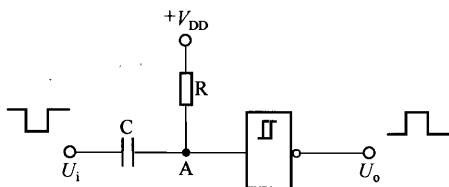


图 6-20 由施密特触发器构成的单稳态电路

在没有触发信号输入时，施密特触发器输入端 A 点为“1”，输出端为“0”。当输入低电平触发信号时，经电容 C 使 A 点电压下降，A 点相当于为“0”，施密特触发器马上翻转，输出端由“0”变为“1”，触发器由一种状态转变为另一种状态。

当触发器转变为“1”态后，电源开始经 R 对电容 C 充电，在 C 上充得左负右正电压，充电使 A 点电压上升，当 A 点电压上升到触发器触发电平时，触发器状态翻转，变为“0”，暂态结束，又返回到原状态。

从上面分析可知，在无触发信号时，电路保持一种稳定状态（“0”态），当触发信号来时，电路状态翻转为另一种状态（“1”态），但这种状态是不稳定的，一段时间后电路又返



回到原状态，这就是单稳态电路。

(4) 用来构成多谐振荡器

施密特触发器与 RC 元件组合还可以构成多谐振荡器，图 6-21 所示是一种由施密特触发器构成的多谐振荡器。

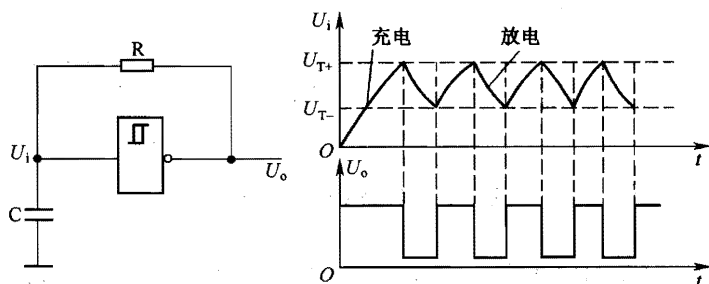


图 6-21 由施密特触发器构成的多谐振荡器

在刚接通电源时，电容 C 还没有被充电，它两端电压 U_i 为 $0V$ ，即 U_i 为低电平，施密特触发器输出高电平“1”。然后输出端的高电平经 R 对 C 充电，电容 C 上的电压慢慢上升，当上升到触发器的上升触发电平 U_{T+} 时，触发器状态翻转，输出端 U_o 为低电平“0”。接着电容 C 开始通过 R 往输出端放电，随着电容的放电， U_i 电压下降，当 U_i 下降到下降触发电平 U_{T-} 时，触发器状态又会翻转，输出端 U_o 为高电平“1”。以后输出端的电平又经 R 对电容充电，电路会重复上述过程。

从上面的分析可知，电容 C 充电、放电不断进行，施密特触发器的状态不断翻转，从而在输出端得到矩形脉冲信号，改变 R 、 C 的大小，就可以改变矩形脉冲信号的频率。

6.3.3 限幅电路

限幅电路又称削波器，它是能削除信号中电压超过一定值的部分。限幅电路可分为单向限幅电路和双向限幅电路。

1. 单向限幅电路

单向限幅电路可分为普通的单向限幅电路和带限幅电平的单向限幅电路。

(1) 普通的单向限幅电路

普通的单向限幅电路如图 6-22 所示。

普通的单向限幅电路采用了一只二极管，给限幅电路输入图示的 U_i 信号。

在 $0 \sim t_1$ 期间， U_i 信号电压通过 R 送到 A 点，A 点电压低于 $0.7V$ ，二极管 VD 截止，该期间的输出信号 U_o 波形与 U_i 相同。

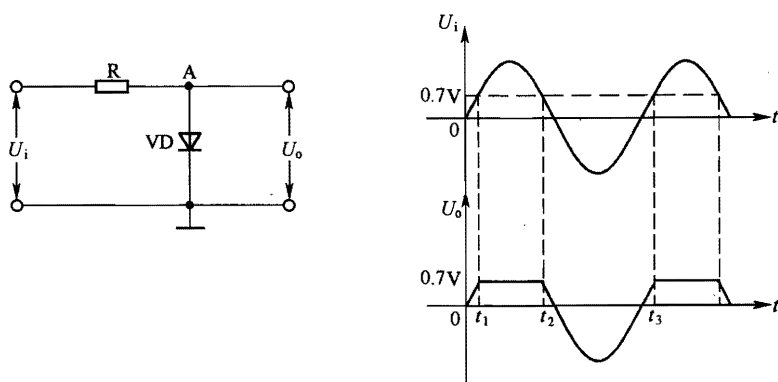


图 6-22 普通单向限幅电路

在 $t_1 \sim t_2$ 期间, U_i 信号电压大于 0.7V , 通过 R 送到 A 点, 二极管 VD 导通, 二极管导通后, 两端电压被钳在 0.7V 不变, 故 A 点电压保持 0.7V 不变, 该期间的输出信号电压 U_o 始终为 0.7V 。

在 $t_2 \sim t_3$ 期间, U_i 信号电压通过 R 送到 A 点, A 点电压始终低于 0.7V , 二极管 VD 截止, 该期间的输出信号 U_o 波形与 U_i 相同。

也就是说, 图 6-22 所示的限幅电路能将信号高于 0.7V 的部分削掉, 使输出信号幅度不超过 0.7V 。

(2) 带限幅电平的单向限幅电路

带限幅电平的单向限幅电路如图 6-23 所示。

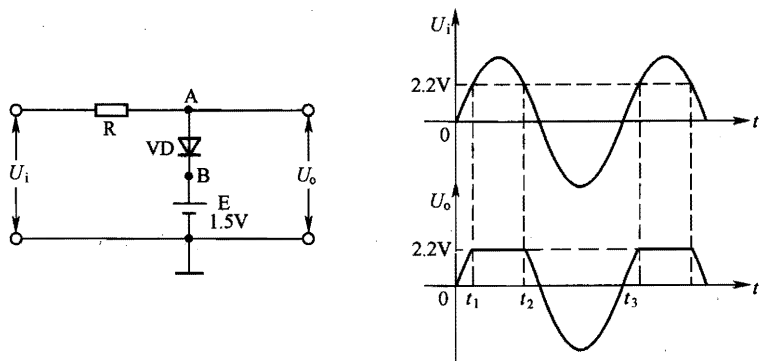


图 6-23 带限幅电平的单向限幅电路

该电路与普通的单向限幅电路不同, 它在二极管负极串联一个 1.5V 电源, 使 B 点电压为 1.5V , 同样给电路输入图示的 U_i 信号。

在 $0 \sim t_1$ 期间, U_i 信号电压通过 R 送到 A 点, A 点电压低于 2.2V , 二极管 VD 截止, 该期间的输出信号 U_o 波形与 U_i 相同。



在 $t_1 \sim t_2$ 期间, U_i 信号电压大于 2.2V , 它通过 R 送到 A 点, 二极管 VD 导通 (VD 负极接电源 E 的正极, 故 VD 负极电压为 1.5V), A 点电压被钳在 2.2V 不变, 该期间的输出信号电压 U_o 始终为 2.2V 。

在 $t_2 \sim t_3$ 期间, U_i 信号电压通过 R 送到 A 点, A 点电压始终低于 2.2V , 二极管 VD 截止, 该期间的输出信号 U_o 波形与 U_i 相同。

从上述分析可以看出, 将二极管与电源串联起来可以改变限幅电平, 该限幅电路将信号高于 2.2V 的部分削掉, 使输出信号幅度不能超过 2.2V 。

2. 双向限幅电路

双向限幅电路也分为普通的双向限幅电路和带限幅电平的双向限幅电路。

(1) 普通的双向限幅电路

普通的双向限幅电路如图 6-24 所示。

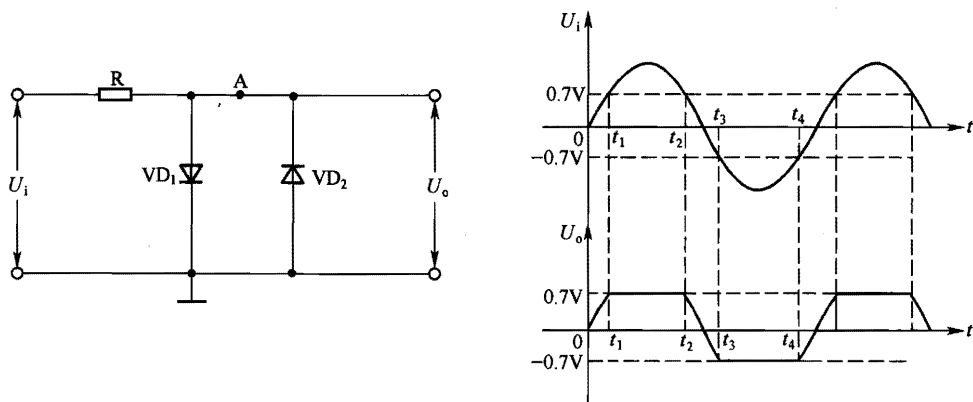


图 6-24 普通的双向限幅电路

普通的双向限幅电路采用了两个二极管并联, 但极性相反, 现给限幅电路输入图示的 U_i 信号。

在 $0 \sim t_1$ 期间, U_i 信号电压通过 R 送到 A 点, A 点电压低于 0.7V , 二极管 VD_1 、 VD_2 都处于截止状态, 该期间的输出信号 U_o 波形与 U_i 相同。

在 $t_1 \sim t_2$ 期间, U_i 信号电压大于 0.7V , 它通过 R 送到 A 点, 二极管 VD_1 导通, VD_2 截止, A 点电压被钳在 0.7V 不变, 该期间的输出信号电压 U_o 始终为 0.7V 。

在 $t_2 \sim t_3$ 期间, U_i 信号电压通过 R 送到 A 点, A 点电压低于 0.7V , 但高于 -0.7V , 二极管 VD_1 、 VD_2 均截止, 该期间的输出信号 U_o 波形与 U_i 相同。

在 $t_3 \sim t_4$ 期间, U_i 信号电压低于 -0.7V , 它通过 R 送到 A 点, 二极管 VD_1 截止, VD_2 导通 (VD_2 负极接地, 电压为 0V), A 点电压被钳在 -0.7V 不变, 该期间的输出信号电压 U_o 始终为 -0.7V 。



也就是说，该限幅电路能将信号高于 0.7V 和低于 -0.7V 的部分削掉。

（2）带限幅电平的双向限幅电路

带限幅电平的双向限幅电路如图 6-25 所示。

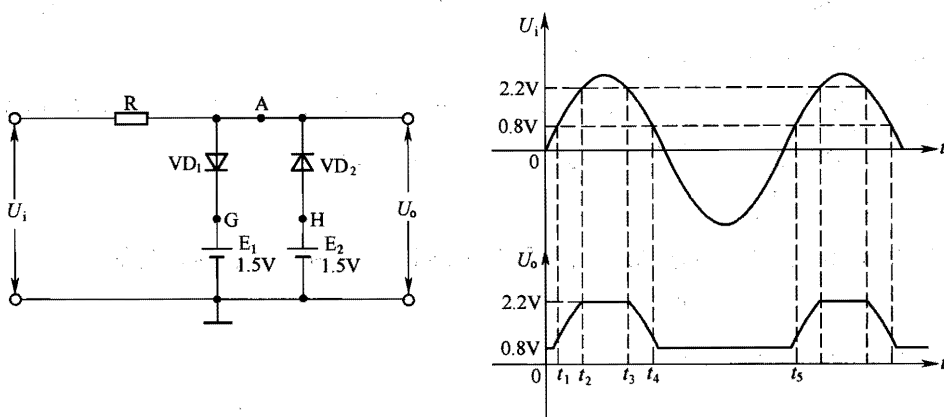


图 6-25 带限幅电平的双向限幅电路

该电路是在普通的双向限幅电路的基础上，在两个二极管正、负极各串联一个 1.5V 电源，同样给限幅电路输入图示的 U_i 信号。

在 $0 \sim t_1$ 期间， U_i 信号电压低于 0.8V，它通过 R 送到 A 点，二极管 VD_1 截止， VD_2 导通，A 点电压被钳在 0.8V 不变，该期间的输出信号电压 U_o 始终为 0.8V。

在 $t_1 \sim t_2$ 期间， U_i 信号电压通过 R 送到 A 点，A 点电压高于 0.8V 但低于 2.2V，二极管 VD_1 、 VD_2 均截止，该期间的输出信号 U_o 波形与 U_i 相同。

在 $t_2 \sim t_3$ 期间， U_i 信号电压大于 2.2V，它通过 R 送到 A 点，二极管 VD_1 导通， VD_2 截止，A 点电压被钳在 2.2V，该期间的输出信号电压 U_o 始终为 2.2V。

在 $t_3 \sim t_4$ 期间， U_i 信号电压通过 R 送到 A 点，A 点电压低于 2.2V 但高于 0.8V，二极管 VD_1 、 VD_2 均截止，该期间的输出信号 U_o 波形与 U_i 相同。

在 $t_4 \sim t_5$ 期间， U_i 信号电压低于 0.8V，它通过 R 送到 A 点，二极管 VD_2 导通， VD_1 截止，A 点电压被钳在 0.8V，该期间的输出信号电压 U_o 就始终为 0.8V。

从上述分析可以看出，将二极管与电源串联起来可以改变双向限幅电平，该限幅电路将信号高于 2.2V 和低于 0.8V 的部分削掉。

6.4 555 定时器

555 定时器又称 555 时基电路，它是一种中规模的数字-模拟混合集成电路，具有使用范围广、功能强等特点。如果给 555 定时器外围接一些元件就可以构成各种应用电路，如



多谐振荡器、单稳态触发器和施密特触发器等。555 定时器有 TTL 型（或称双极型，内部主要采用三极管）和 CMOS 型（内部主要采用场效应管），但它们的电路结构基本一样，功能也相同，本节以双极型 555 定时器为例进行说明。

6.4.1 结构与原理

555 定时器内部电路结构如图 6-26 所示，从图中可以看出，它主要是由电阻分压器、电压比较器（运算放大器）、基本 RS 触发器、放电管和一些门电路构成。

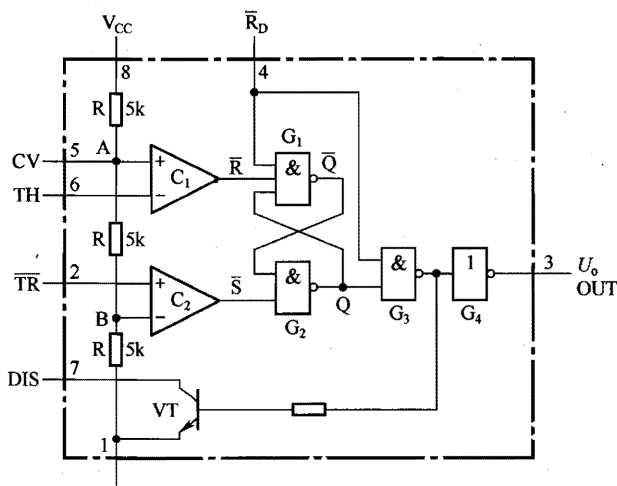


图 6-26 555 定时器内部电路结构

1. 电阻分压器和电压比较器

电阻分压器由 3 个阻值相等的电阻 R 构成，两个运算放大器 C_1 、 C_2 构成电压比较器。3 个阻值相等的电阻将电源 V_{CC} （⑧脚）分作三等份，比较器 C_1 的“+”端（⑤脚）电压 U_+ 为 $\frac{2}{3}V_{CC}$ ，比较器 C_2 的“-”电压 U_- 为 $\frac{1}{3}V_{CC}$ 。

如果 TH 端（⑥脚）输入的电压大于 $\frac{2}{3}V_{CC}$ 时，即运算放大器 C_1 的 $U_+ < U_-$ ，比较器 C_1 输出低电平“0”；如果 TR 端（②脚）输入的电压大于 $\frac{1}{3}V_{CC}$ 时，即运算放大器 C_2 的 $U_+ > U_-$ ，比较器 C_1 输出高电平“1”。

2. 基本 RS 触发器

基本 RS 触发器是由两个与非 G_1 、 G_2 门构成的，其功能说明如下：

当 $\bar{R} = 0$ 、 $\bar{S} = 1$ 时，触发器置“0”，即 $Q = 0$ ， $\bar{Q} = 1$ ；

当 $\bar{R} = 1$ 、 $\bar{S} = 0$ 时，触发器置“1”，即 $Q = 1$ ， $\bar{Q} = 0$ ；



当 $\overline{R}=1$ 、 $\overline{S}=1$ 时，触发器“保持”原状态；

当 $\overline{R}=0$ 、 $\overline{S}=0$ 时，触发器状态不定，这种情况禁止出现。

\overline{R}_D 端(④脚)为定时器复位端，当 $\overline{R}_D=0$ 时，它送到基本 RS 触发器，对触发器置“0”，即 $Q=0$ ， $\overline{Q}=1$ ； $\overline{R}_D=0$ 和触发器输出的 $Q=0$ 送到与非门 G_3 ，与非门输出为“1”，再经非门 G_4 后变为“0”，从定时器的 OUT 端(③脚)输出“0”。即当 $\overline{R}_D=0$ 时，定时器被复位，输出为“0”，在正常工作时，应让 $\overline{R}_D=1$ 。

3. 放电管和缓冲器

三极管 VT 为放电管，它的状态受与非门 G_3 输出电平控制，当 G_3 输出为高电平时，VT 的基极为高电平而导通，⑦、①之间相当于短路；当 G_3 输出为低电平时，VT 截止，⑦、①之间相当于开路。非门 G_4 为缓冲器，主要是提高定时器带负载能力，保证定时器 OUT 端能输出足够的电流，还能隔离负载对定时器的影响。

555 定时器的功能见表 6-2，表中标“×”表示不论为何值情况，都不影响结果。

表 6-2 555 定时器的功能表

输 入			输 出	
\overline{R}_D	TH	\overline{TR}	OUT	放电管状态
0	×	×	低	导通
1	$>\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	低	导通
1	$<\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	不变	不变
1	$<\frac{2}{3}V_{CC}$	$<\frac{1}{3}V_{CC}$	高	截止

从表中可以看出 555 在各种情况下的状态，如在 $\overline{R}_D=1$ 时，如果高触发端 $TH > \frac{2}{3}V_{CC}$ 、低触发端 $\overline{TR} > \frac{1}{3}V_{CC}$ ，则定时器 OUT 端会输出低电平“0”，此时内部的放电管处于导通状态。

6.4.2 应用

555 集成电路可以构成很多种类的应用电路，下面主要介绍几种典型的 555 应用电路。



1. 由 555 构成的单稳态电路

由 555 构成的单稳态电路如图 6-27 所示。

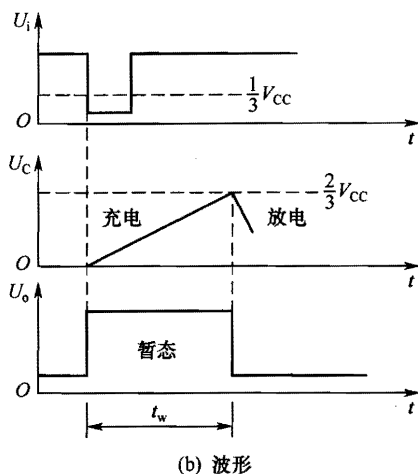
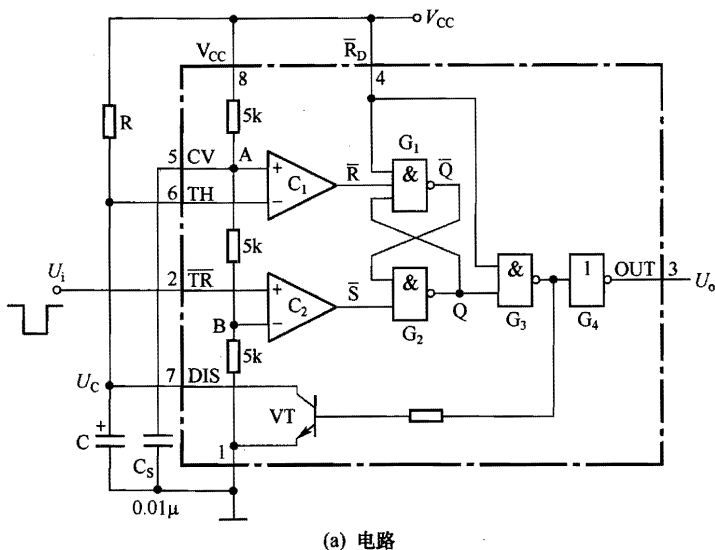


图 6-27 由 555 构成的单稳态电路

电路工作原理说明如下：

接通电源后，电源 V_{CC} 经电阻 R 对电容 C 充电， C 两端的电压 U_C 上升，当 U_C 上升超过 $\frac{2}{3}V_{CC}$ 时，高触发端（⑥脚） $TH > \frac{2}{3}V_{CC}$ 、低触发端（②脚） $\overline{TR} > \frac{1}{3}V_{CC}$ （无触发信号 U_i 输入时，②脚为高电平），比较器 C_1 输出 $\overline{R} = 0$ ，比较器 C_2 输出 $\overline{S} = 1$ ，RS 触发器被置 0， $Q = 0$ ， G_3 输出为“1”， G_4 输出为“0”，即定时器 OUT 端（③脚）输出低电平“0”，与此同时 G_3 输出的“1”使放电管 T 导通，电容 C 通过⑦、①脚放电，使 $TH < \frac{2}{3}V_{CC}$ ，比较器

当低电平触发信号 U_i 来到时, TR 端的电压低于 $\frac{1}{3}V_{CC}$, 比较器 C_2 输出使 $\bar{S}=0$, 触发器被置“1”, $Q=1$, G_3 输出为“0”, G_4 输出为“1”, 定时器 OUT 端输出高电平“1”, 与此同时 G_3 输出的“0”使放电管 T 截止, 电源又通过 R 对 C 充电, C 上的电压 U_C 上升, 在电容 C 充电期间, 输出 U_o 保持为高电平, 此为暂稳态。

当充电使 U_C 上升到大于 $\frac{2}{3}V_{CC}$ 时, 即 $TH > \frac{2}{3}V_{CC}$, 比较器 C_1 输出使 $\bar{R}=0$, 由于此时 U_i 已恢复为高电平, $\bar{S}=1$, 触发器被置“0”, $Q=0$, G_3 输出为“1”, G_4 输出为“0”, 定时器 OUT 端输出由“1”变为“0”, 同时 G_3 输出的“1”使放电管导通, 电容 C 通过⑦、①脚内部的放电管放电。在此期间, 定时器保持输出 U_o 为低电平。

从上面的分析可知, 电路保持一种状态 (“0” 态) 不变, 当触发信号来时, 电路马上转变成另一种状态 (“1” 态), 但这种状态不稳定, 一段时间后, 电路又自动返回到原状态 (“0” 态), 这就是单稳态触发器。此单稳态触发器的输出脉冲宽度 t_w 与 RC 元件有关, 输出脉冲宽度 t_w 为

R 通常取几百欧至几兆欧, **C** 一般取几百皮法至几百微法。

由 555 构成的多谐振荡器如图 6-28 所示。



图 6-28 由 555 构成的多谐振荡器

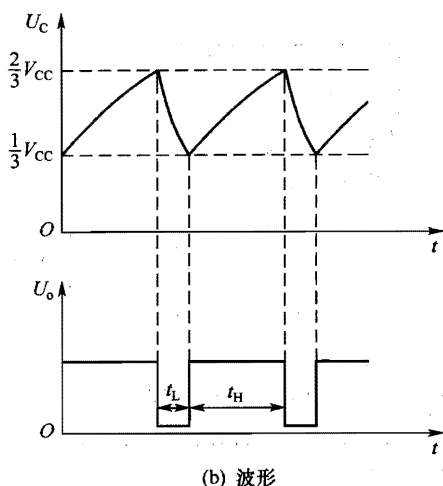


图 6-28 由 555 构成的多谐振荡器 (续)

电路工作原理说明如下。

接通电源后, 电源 V_{CC} 经 R_1 、 R_2 对电容 C 充电, C 两端电压 U_C 上升, 当 U_C 上升超过 $\frac{2}{3}V_{CC}$ 时, 比较器 C_1 输出为低电平, 内部 RS 触发器被复位清 “0”, 输出端 U_O 由高电平变为低电平, 如图 6-5 (b) 所示, 同时门 G_3 输出高电平使放电管 VT 导通, 电容 C 通过 R_2 和⑦脚内部的放电管 VT 放电, U_C 电压下降, 当 U_C 下降至小于 $\frac{1}{3}V_{CC}$ 时, 比较器 C_2 输出为低电平, 内部 RS 触发器被置 “1”, G_3 输出低电平使放电管 T 截止, 输出端 U_O 由低电平变为高电平, 电容 C 放电时间 t_L (即 U_O 低电平时间) 为

$$t_L \approx 0.7R_2C$$

放电管截止后, 电容 C 停止放电, 电源 V_{CC} 又重新经 R_1 、 R_2 对 C 充电, U_C 上升, U_C 上升至 $\frac{2}{3}V_{CC}$ 所需时间 t_H (即 U_O 高电平时间) 为

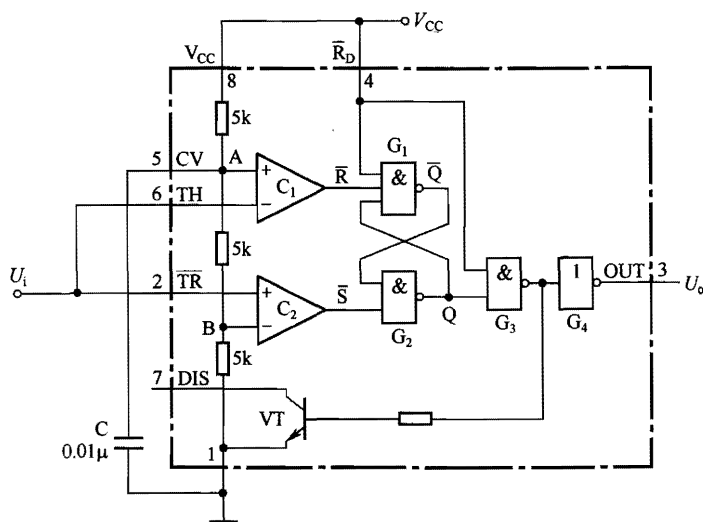
$$t_H = 0.7(R_1 + R_2)C$$

当 U_C 上升超过 $\frac{2}{3}V_{CC}$ 时, 内部触发器又被复位清 “0”, U_O 又变为低电平, 如此反复, 在 555 定时器的输出端得到一个方波信号电压 U_O , 该信号的频率 f 为

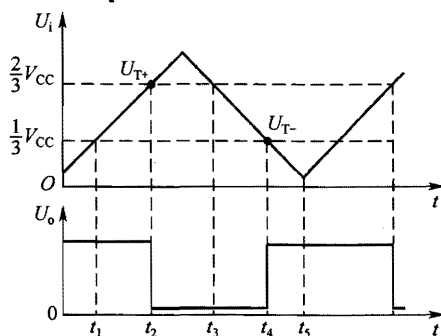
$$f = \frac{1}{t_L + t_H} \approx \frac{1.43}{(R_1 + 2R_2)C}$$

3. 由 555 构成的施密特触发器

由 555 构成的施密特触发器如图 6-29 所示。



(a) 电路



(b) 波形

图 6-29 由 555 构成的施密特触发器

电路工作原理说明如下。

在 $0 \sim t_1$ 期间，输入电压 $U_i < \frac{1}{3}V_{cc}$ ，比较器 C_1 输出高电平， C_2 输出低电平，RS 触发器被置 1（即 $Q=1$ ），经门 G_3 、 G_4 后，③脚输出电压 U_o 为高电平。

在 $t_1 \sim t_2$ 期间， $\frac{1}{3}V_{cc} < U_i < \frac{2}{3}V_{cc}$ ，比较器 C_1 输出高电平， C_2 输出高电平，RS 触发器状态保持（ Q 仍为 1），输出电压 U_o 仍为高电平。

在 $t_2 \sim t_3$ 期间， $U_i > \frac{2}{3}V_{cc}$ ，比较器 C_1 输出低电平， C_2 输出高电平，RS 触发器复位清 0（即 $Q=0$ ），输出电压 U_o 为低电平。

在 $t_3 \sim t_4$ 期间， $\frac{1}{3}V_{cc} < U_i < \frac{2}{3}V_{cc}$ ，比较器 C_1 输出高电平， C_2 输出高电平，RS 触发器状态保持（ Q 仍为 0），输出电压 U_o 仍为低电平。



在 $t_4 \sim t_5$ 期间, 输入电压 $U_i < \frac{1}{3}V_{CC}$, 比较器 C_1 输出高电平, C_2 输出低电平, RS 触发器被置 1, 输出电压 U_o 为高电平。

以后电路重复 $0 \sim t_5$ 期间的工作过程, 从图 6-29 (b) 不难看出, 施密特触发器两次触发电压是不同的, 回差电压 $\Delta U = U_{T+} - U_{T-} = \frac{2}{3}V_{CC} - \frac{1}{3}V_{CC} = \frac{1}{3}V_{CC}$, 给 555 提供的电源不同, 回差电压的大小会不同, 如让电源电压为 6V, 那么回差电压为 2V。

6.5 电子催眠器的电路原理与实验

6.5.1 电子催眠原理

1. 有关睡眠科学知识

科学研究表明, 人体神经是依靠电信号传递信息的, 当人体处于不同活动状态时, 其脑电波的活动频率也不相同。表 6-3 中列出了人体常见的脑电波及意识状态。

表 6-3 人体常见的脑电波及意识状态

脑电波名称	频率 (Hz)	意识状态
β	14 ~ 30	兴奋
α	7 ~ 14	平静
θ	3.5 ~ 7	轻度睡眠
δ	0.5 ~ 3.5	深度睡眠

人的整个睡眠过程可以分为 5 个阶段:

第 1 阶段为过渡期。人体感到困倦、意识进入朦胧状态, 通常持续 1 ~ 7min, 呼吸和心跳变慢, 肌肉变松弛, 体温下降, 脑电波为频率较慢但振幅较大的 α 波。

第 2 阶段为轻度睡眠期。大约持续 10 ~ 25min, 此时脑电波为频率更慢的 θ 波。

第 3、4 阶段为深度睡眠期。脑电波主要是频率慢、振幅极大的 δ 波。

第 5 阶段为快速眼动睡眠期。这时通过仪器可以观测到睡眠者的眼球有快速跳动现象, 呼吸和心跳变得不规则, 肌肉完全瘫痪, 并且很难唤醒。

快速眼动睡眠结束后, 再循环到轻睡期, 如此循环往复, 一个晚上一般要经过 4 ~ 6 次这样的循环。

2. 电子催眠原理

当人处于不同意识状态时, 大脑会呈现不同的脑电波, 反之, 若让大脑呈现某种脑电

波，人体就会进入相应的意识状态。电子催眠是利用电子技术的方法产生与睡眠脑电波（ α 和 θ ）频率相同或相近的声、光信号，通过刺激听、视觉来诱导人体出现睡眠脑电波，从而使人体进入睡眠状态。

6.5.2 电路原理

图 6-30 所示是电子催眠器的电路原理图。

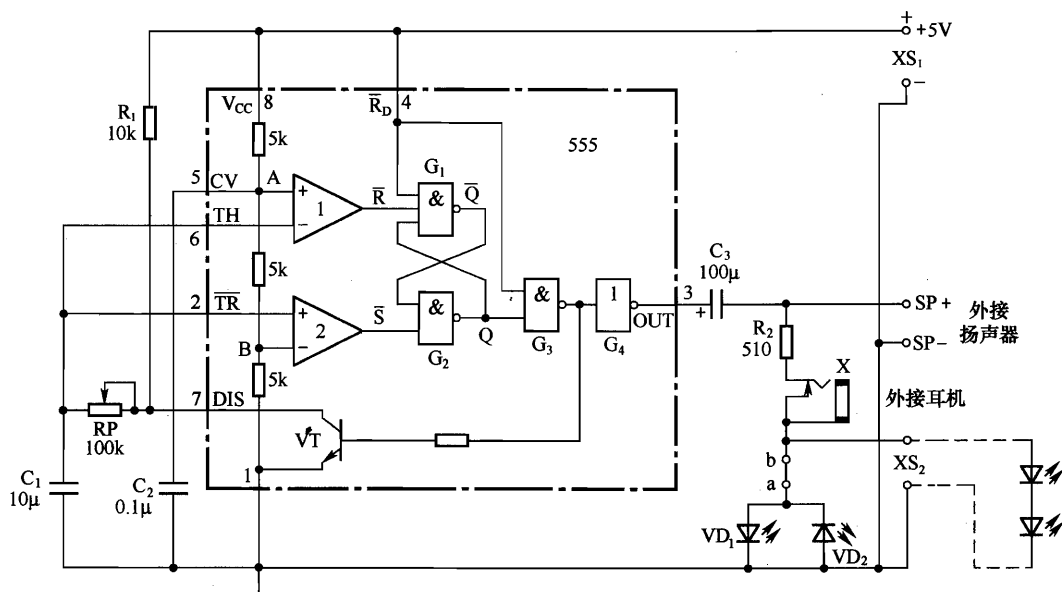


图 6-30 电子催眠器的电路原理图

电子催眠器的工作原理说明如下：

555 定时器芯片与 R_1 、 RP 、 C_1 构成多谐振荡器（振荡器的工作原理请参见图 6-28 所示的多谐振荡器），通过调节电位器 RP 可以让振荡器产生 $0.7 \sim 14\text{Hz}$ 的低频脉冲信号，该信号从 555 的③脚输出，经电容 C_3 隔直后，频率仍为 $0.7 \sim 14\text{Hz}$ ，但信号电平下移，出现负脉冲，如图 6-31 所示。低频脉冲信号经 R_2 、耳机插座和 b、a 点送给正、负极并联的发光二极管 VD_1 、 VD_2 ，正脉冲来时， VD_1 导通发光，负脉冲来时， VD_2 导通发光，在低频脉冲的作用下， VD_1 、 VD_2 交替闪烁发光。若这时将耳机插头插入插孔 X，低频脉冲信号会流经耳机，在耳机中就能听到类似雨滴落在地板的“滴嗒”的声音。

若需要外接发光二极管，可将断开 b、a 点之间的连接，再将两个串联的发光二极管接在接插件 XS_2 两端。在接插件 $SP+$ 、 $SP-$ 端外接扬声器，扬声器会发出“滴嗒”的声音，



由于扬声器电阻很小,分流掉的电流很大,故外接扬声器后 VD_1 、 VD_2 将不会发光,耳机也无声。

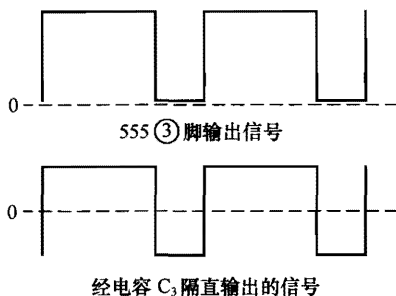


图 6-31 电容对 555 输出信号的隔直说明

在睡觉前,戴上耳机,并将耳机插头插入插孔 X,同时让 VD_1 、 VD_2 在眼睛视野内,调节电位器 RP 改变 VD_1 、 VD_2 闪烁频率,闪烁频率应感觉舒适为佳。耳听类似雨滴音,眼看舒适的闪烁光,人体易出现 α 和 θ 脑电波,而进入睡眠状态。

电子催眠器产生的信号频率可用下式计算

$$f \approx \frac{1.43}{(R_1 + RP)C_1}$$

从上式可以看出,只要改变 R_1 、 RP 、 C_1 的值就可以调节电路输出频率,在一个信号周期中,高电平时间 $t_H = 0.7(R_1 + RP)C_1$,低电平时间 $t_L = 0.7R_2C_1$,当 RP 阻值接近 0 时, $t_H \approx t_L$,因此电子催眠器也可以用作频率和占空比可调的低频脉冲信号发生器。

6.5.3 实验操作及分析

电子催眠器实验操作及分析内容如下。

第一步:给电子催眠器接通 6V 电源,并插上耳机,会发现指示灯 VD_1 、 VD_2 _____,耳机会发出_____。

第二步:将电位器 RP 阻值调小时,除了会发现 VD_1 、 VD_2 闪烁频率_____,还会发现耳机声音频率_____。

第三步:用导线短路电容 C_3 正、负极,会发现 VD_1 _____, VD_2 _____,原因是_____。

第四步:在 SP+、SP-端子外接扬声器,扬声器会_____, VD_1 、 VD_2 会_____,耳机会_____,造成这种现象的原因是_____。

第五步:在电容 C_1 两端并联一只 $10\mu F$ 的电容,会发现 VD_1 、 VD_2 _____,原因是_____。

习题 6

一、填空题

1. 脉冲电路主要包括_____电路和_____电路。脉冲信号是指_____。
2. 脉冲信号的主要参数有_____、_____、_____、_____和_____。
3. 在 RC 充电电路中, 电容的充电速度与 R 、 C 的大小有关: R 的阻值越大, 充电越_____, 反之越_____; C 的容量越大, 充电越_____, 反之越_____。RC 充、放电路的时间常数 τ = _____, τ 的单位是_____。RC 充电电路在刚开始充电时充电电流_____, 以后慢慢_____。
4. 在 RC 放电电路中, 电容放电速度与 R 、 C 的大小有关: R 的阻值越大, 放电越_____, 反之越_____; C 的容量越大, 放电越_____, 反之越_____。RC 放电电路在刚开始放电时放电电流_____, 以后慢慢_____。
5. RC 积分电路能将矩形波转变成_____波或_____波。积分电路正常工作应满足电路的时间常数 τ 应远_____于输入矩形脉冲的脉冲宽度 t_w , 通常 τ _____时就可认为满足该条件。
6. RC 微分电路能将矩形脉冲转变成_____信号。微分电路正常工作应满足电路的时间常数 τ 应远_____于输入矩形脉冲的脉冲宽度 t_w , 通常 τ _____时就可认为满足该条件。
7. 脉冲产生电路的功能是_____。多谐振荡器的功能是_____。锯齿波发生器的功能是_____。
8. 脉冲整形电路的功能是_____。常见的脉冲整形电路有_____、_____和_____等。
9. 单稳态触发器又称为_____电路, 它是一种_____的电路。单稳态触发器的暂态维持时间与电路中的 RC 充、放电时间有关, 一般 $t_w \approx$ _____ RC 。为了能让单稳态触发器正常工作, 要求触发信号的宽度不能很_____, 应_____于 t_w 。
10. 施密特触发器有_____种稳定的状态, 它从一种状态转换到另一种状态需要_____触发。两种状态转换的触发电压是往往存在差距的, 这种情况称之为_____现象。这两个电压的差值称为_____。
11. 限幅电路又称_____, 它是能削除_____。限幅电路可分为_____限幅电路和_____限幅电路, 每种限幅电路又分为_____限幅电路和_____限幅电路。
12. 555 定时器又称 555 时基电路, 它内部主要由_____, _____、_____、_____和_____一些门电路构成。根据内部使用元件类型的不同, 555 定时器可分为_____型和_____型。

二、电路分析题

图 6-32 所示是一个由 555 定时器构成的定时控制开关, 其定时时间 $t = 1.1 (R_P + R_1) C_1$, 根据 555 定



时器的工作原理，请参照 555 内部电路分析：

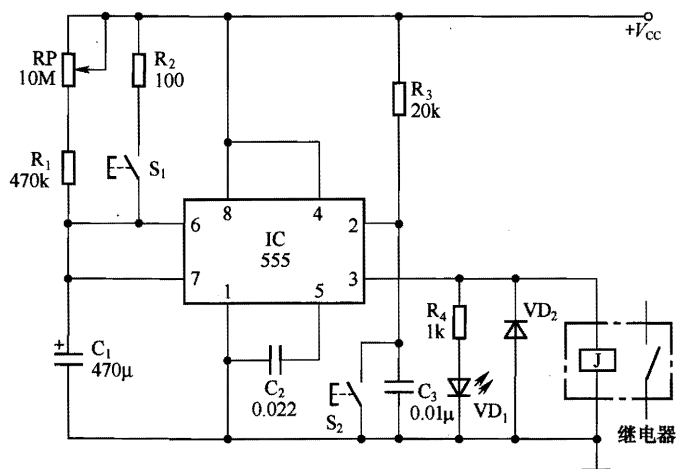


图 6-32

- (1) 接通电源后，发光二极管 VD_1 的状态是_____（亮或暗）。
- (2) 按下按键 S_1 后， VD_1 的状态是_____，按下按键 S_2 后， VD_1 的状态是_____。按下按键 S_2 后，需多少时间， VD_1 状态才会改变？

第7章 D/A转换器和A/D转换器

本章知识结构

7.1 概述

7.2 D/A转换器

7.2.1 D/A转换原理

7.2.2 D/A转换器

7.2.3 D/A转换芯片 DAC0832

7.3 A/D转换器

7.3.1 A/D转换原理

7.3.2 A/D转换器

7.3.3 A/D转换芯片 ADC0809



7.1 概 述

数字电路只能处理二进制数字信号，而声音、温度、速度和光线等都是模拟量，利用相应的传感器（如声音用话筒）可以将它们转换成模拟信号，然后由 A/D 转换器将它们转换成二进制数字信号，再让数字电路对它们进行各种处理，最后由 D/A 转换电路将数字信号还原成模拟信号。

下面以声音的数字化处理为例来说明 A/D 和 D/A 转换过程，具体如图 7-1 所示。

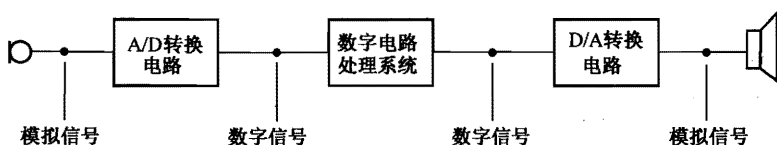


图 7-1 声音的数字化处理

话筒将声音转换成音频信号（模拟信号），再送到 A/D 转换电路转换成数字音频信号（数字信号），数字音频信号送入数字电路处理系统进行各种处理（如消除噪声、卡拉 OK 混响处理等），然后输出到 D/A 转换电路。在 D/A 电路中，数字音频信号转换成音频信号（模拟信号），送到扬声器使之发声。

从上述分析可以看出，模拟信号转换成数字信号后，在数字电路处理系统中可以很灵活地进行各种各样的处理，有很多处理是模拟电路较难实现的，由此可见数字电路在数据处理方面有很多优势。

不过应承认，目前很难找到一个纯粹的全数字电路的电子产品，就是在数字化程度最高的计算机中，显示器、声卡、音箱和电源电路等部分都大量采用模拟电路技术。在今后很长的一段时间内，数字电子技术和模拟电子技术相互依存，它们相互融合应用到各种各样的电子产品中。

7.2 D/A 转换器

7.2.1 D/A 转换原理

D/A 转换器又称数/模转换器，简称 DAC，它的功能是将数字信号转换成模拟信号。

不管是十进制数还是二进制数，都可以写成数码与权的组合表达式，例如二进制数 1011 可以表示成

$$(1011)_2 = 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = (11)_{10}$$

这里的 1 和 0 称为数码， 2^3 、 2^2 、 2^1 、 2^0 称为权，位数越高，权值越大，所以 $2^3 > 2^2 > 2^1 > 2^0$ 。

D/A 转换的基本原理是将数字信号中的每位数按权值大小转换成相应大小的电压，再将这些电压相加而得到的电压就是模拟信号电压。

7.2.2 D/A 转换器

D/A 转换器的种类很多，这里介绍两种较常见的 D/A 转换器：权电阻型 D/A 转换器和倒 T 型 D/A 转换器。

1. 权电阻型 D/A 转换器

权电阻型 D/A 转换器如图 7-2 所示。由于 D/A 转换器要使用运算放大器，为了更容易理解电路原理，建议读者先复习一下有关运算放大器方面的知识（可参阅《零起步轻松学电子电路》第 3 章）。

(1) 电子开关

图 7-2 所示是一个 3 位权电阻型 D/A 转换电路。 $S_2 \sim S_0$ 为 3 个电子开关，开关的切换分别受输入的数字信号 $D_2 \sim D_0$ 的控制，当 $D=1$ 时，开关置于“1”处，当 $D=0$ 时，开关置于“2”处。电子开关可由三极管或场效应管构成，图 7-3 所示为场效应管和非门构成的电子开关。

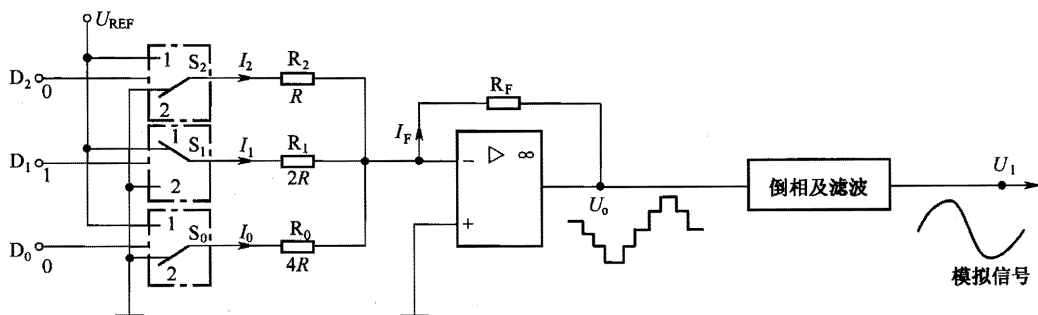


图 7-2 权电阻型 D/A 转换器

当 $D=1$ 时，经非门 G_1 变为 0，0 送到场效应管 T_2 的栅极， T_2 截止， G_1 输出的 0 再经非门 G_2 后变为 1，它送到场效应管 T_1 的栅极， T_1 导通，相当于开关置于“1”位置。反之，若 $D=0$ ， T_2 导通， T_1 截止，相当于开关置于“2”位置。

(2) 工作原理

图 7-2 中 R_2 、 R_1 和 R_0 的阻值分别为 R 、 $2R$ 和 $4R$ ， R_2 、 R_1 、 R_0 、 R_F 与运算放大器构



成加法器。

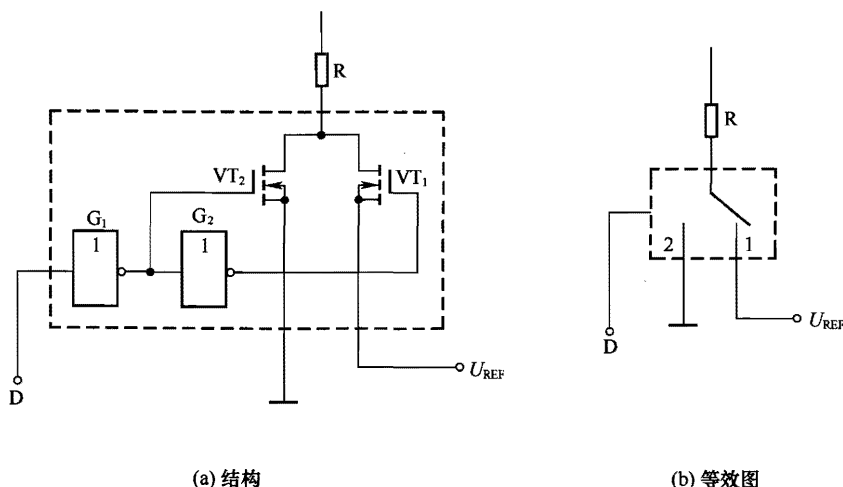


图 7-3 电子开关

当输入的数字信号 $D_2D_1D_0=000$ 时, $S_2 \sim S_0$ 均接地, 即无电流流过 R_2 、 R_1 、 R_0 , 流过反馈电阻 R_F 的电流 $I_F=0$, 运算放大器输出的电压 $U_o=-I_F R_F=0V$ 。

当输入的数字信号 $D_2D_1D_0=001$ 时, S_2 、 S_1 接地, S_0 接参考电压 U_{REF} , 有电流流过 R_0 , 因为运算放大器“-”端为虚地端, 电压为 $0V$, 故流过 R_0 的电流 $I_0=\frac{U_{REF}}{4R}$, 又因为“-”端与运放内部具有“虚断”特性, 流入“-”端的电流为 0 , I_0 电流全部流过反馈电阻 R_F , 故 $I_F=I_0$, 运算放大器输出的电压 $U_o=-I_F R_F=-I_0 R_F=-\frac{U_{REF}}{4R} R_F$ 。

当输入的数字信号 $D_2D_1D_0=010$ 时, S_2 、 S_0 接地, S_1 接参考电压 U_{REF} , 有电流流过 R_1 , 流过 R_1 的电流 $I_1=\frac{U_{REF}}{2R}$, 流过反馈电阻 R_F 的电流 $I_F=I_1$, 运算放大器输出的电压 $U_o=-I_F R_F=-I_1 R_F=-\frac{U_{REF}}{2R} R_F$ 。

当输入的数字信号 $D_2D_1D_0=011$ 时, S_2 接地, S_1 、 S_0 接参考电压 U_{REF} , 有电流流过 R_1 、 R_0 , 流过 R_1 的电流 $I_1=\frac{U_{REF}}{2R}$, 流过 R_0 的电流 $I_0=\frac{U_{REF}}{4R}$, 流过反馈电阻 R_F 的电流 $I_F=I_1+I_0$, 运算放大器输出的电压 $U_o=-I_F R_F=-(I_1+I_0) R_F=-(\frac{U_{REF}}{2R} + \frac{U_{REF}}{4R}) R_F$ 。

当输入的数字信号 $D_2D_1D_0=100$ 时, 输出电压 $U_o=-I_F R_F=-I_2 R_F=-\frac{U_{REF}}{R} R_F$ 。

当输入的数字信号 $D_2D_1D_0=101$ 时, 输出电压 $U_o=-I_F R_F=-(I_2+I_0) R_F=-(\frac{U_{REF}}{R} + \frac{U_{REF}}{4R}) R_F$ 。

当输入的数字信号 $D_2D_1D_0=110$ 时, 输出电压 $U_o=-I_F R_F=-(I_2+I_1) R_F=-(\frac{U_{REF}}{R} + \frac{U_{REF}}{2R}) R_F$ 。

当输入的数字信号 $D_2D_1D_0=111$ 时, 输出电压 $U_o = -I_F R_F = -(I_2 + I_1 + I_0) R_F = -\left(\frac{U_{REF}}{R} + \frac{U_{REF}}{2R} + \frac{U_{REF}}{4R}\right) R_F$ 。

由此可以看出, 当输入的数字信号的数值越大, 电路输出负的电压 U_o 越低, U_o 电压是一种阶梯信号, 它经倒相和滤波平滑后就可以得到图 7-2 所示的模拟信号 U_i 。

对于输入数据为 $D_2D_1D_0$ 的 3 位权电阻型 D/A 转换器, 其输出电压 U_o 可表示为

$$\begin{aligned} U_o &= -I_F R_F \\ &= -(D_2 I_2 + D_1 I_1 + D_0 I_0) R_F \\ &= -\left(D_2 \frac{U_{REF}}{R} + D_1 \frac{U_{REF}}{2R} + D_0 \frac{U_{REF}}{4R}\right) R_F \\ &= -\frac{4R U_{REF}}{4R U_{REF}} \left(D_2 \frac{U_{REF}}{R} + D_1 \frac{U_{REF}}{2R} + D_0 \frac{U_{REF}}{4R}\right) R_F \\ &= -\frac{U_{REF} R_F}{2^2 R} (2^2 D_2 + 2^1 D_1 + 2^0 D_0) \end{aligned}$$

举例: 在图 7-2 所示的 3 位权电阻型 D/A 转换器中, $U_{REF} = -8V$, $R_F = 25k\Omega$, $R = 50k\Omega$, 输入数字信号 $D_2D_1D_0=101$, 那么输出电压 U_o 的值为

$$\begin{aligned} U_o &= -\frac{U_{REF} R_F}{2^2 R} (2^2 D_2 + 2^1 D_1 + 2^0 D_0) \\ &= -\frac{-8 \times 25 \times 10^3}{2^2 \times 50 \times 10^3} (2^2 \times 1 + 2^1 \times 0 + 2^0 \times 1) \\ &= 5V \end{aligned}$$

对于 n 位权电阻型 D/A 转换器, 其输出电压 U_o 可表示为

$$U_o = -\frac{U_{REF} R_F}{2^{n-1} R} (2^{n-1} D_{n-1} + 2^{n-2} D_{n-2} + \cdots + 2^0 D_0)$$

权电阻型 D/A 转换器的优点是结构简单, 使用元器件少, 缺点是权电阻阻值不同, 在位数多时差距大, 例如在 8 位权电阻型 D/A 转换器中, 如果最小电阻 $R=10k\Omega$, 那么最大电阻的阻值会达到 $2^{8-1}=1.28M\Omega$, 两者相差 128 倍, 在这么大的范围内精确选择成倍数阻值的电阻很困难, 并且不易集成化, 因此集成 D/A 转换器很少采用权电阻型。

2. 倒 T 型 D/A 转换器

倒 T 型 D/A 转换器又称 R-2R 型 D/A 转换器, 其电路结构如图 7-4 所示, 从图中可以看出, 该电路主要采用了阻值为 R 和 $2R$ 两种电阻, 可以有效解决权电阻型 D/A 转换器电阻差距大的缺点。

图 7-4 所示是一个 4 位倒 T 型 D/A 转换器, 电路输入端分成 4 个相同的部分, 每个部分有阻值为 R 、 $2R$ 两个电阻和一个电子开关, 电子开关“1”端接地, “2”端接运算放大器的“-”端, 由于运算放大器“-”端为虚地端, 其电位为 $0V$, 所以不管开关处于哪个位



置, 流过阻值为 $2R$ 电阻的电流都不会变化。

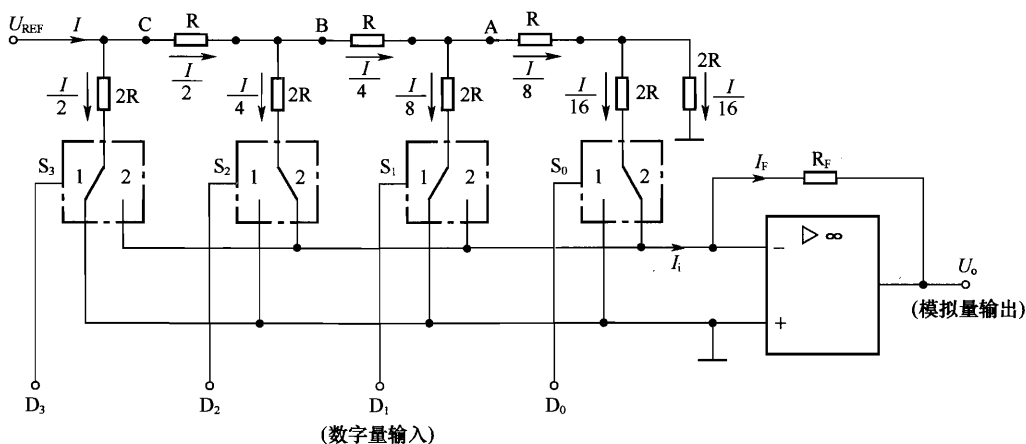


图 7-4 倒 T 型 D/A 转换器

从图中不难发现, A、B、C 点往右对地电阻值都为 $2R$, A 点往右对地电阻值为 $R+2R//2R=2R$, B 点往右对地电阻值为 $R+2R//2R$ (A 点往右对地电阻值) $=2R$, C 点往右对地电阻值为 $R+2R//2R$ (B 点往右对地电阻值) $=2R$ 。电压 U_{REF} 输出的电流每经一个节点就分流一半, 流过 4 个阻值为 $2R$ 的电阻的电流分别为 $I/2$ 、 $I/4$ 、 $I/8$ 、 $I/16$, 当 $D=0$ 时, 电子开关处于 “1”, 当 $D=1$ 时, 电子开关处于 “2”, 流往运算放大器的电流 I_i 可表示为

$$I_i = \frac{I}{2} D_3 + \frac{I}{4} D_2 + \frac{I}{8} D_1 + \frac{I}{16} D_0$$

由于电压 U_{REF} 往右对地电阻值为 $2R//2R$ (C 点往右对地电阻值) $=R$, 故 $I = \frac{U_{REF}}{R}$, 上式可转换为

$$\begin{aligned} I_i &= \frac{I}{2^4} (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0) \\ &= \frac{U_{REF}}{2^4 R} (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0) \end{aligned}$$

因为 $U_o = -I_F R_F$, 而 $I_F = I_i$, 所以输出电压为

$$\begin{aligned} U_o &= -I_i R_F \\ &= -\frac{U_{REF} R_F}{2^4 R} (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0) \end{aligned}$$

对于 n 位倒 T 型 D/A 转换器, 其输出电压为

$$U_o = -\frac{U_{REF} R_F}{2^n R} (2^{n-1} D_{n-1} + 2^{n-2} D_{n-2} + \cdots + 2^0 D_0)$$

从上式可以看出, 当 n 位倒 T 型 D/A 转换器输入的数字信号 ($D_{n-1} D_{n-2} \cdots D_0$) 越大, ($2^{n-1} D_{n-1} + 2^{n-2} D_{n-2} + \cdots + 2^0 D_0$) 的值就越大, 输出电压 U_o 的幅度也就越大, 从而将不同的数字

信号转换成幅度不同的模拟电压。

7.2.3 D/A 转换芯片 DAC0832

1. 内部结构

DAC0832 是一个 8 位分辨率的 D/A 转换器，其内部结构和引脚排列如图 7-5 所示。从图中可以看出，DAC0832 内部有 8 位输入锁存器、8 位 DAC 寄存器、8 位 D/A 转换器和一些控制门电路。

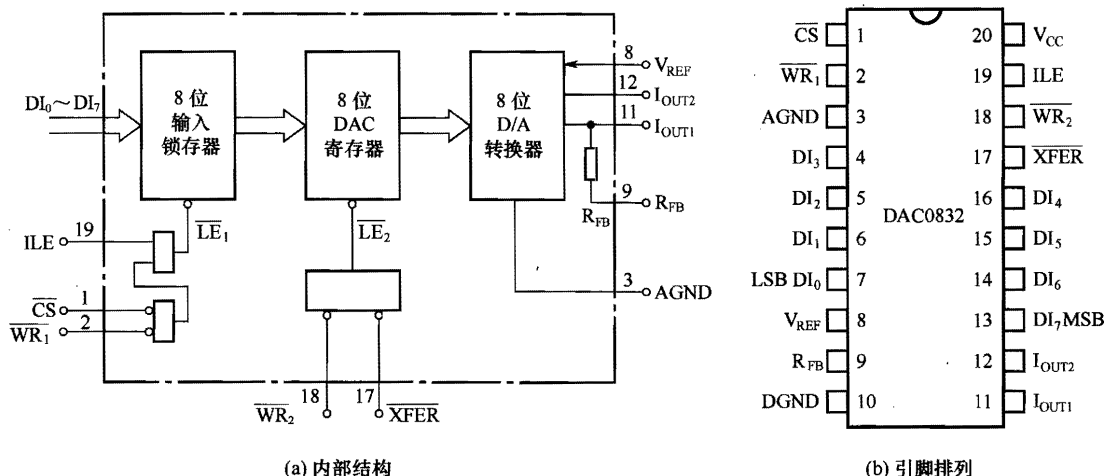


图 7-5 D/A 转换芯片 DAC0832

2. 各脚功能说明

DAC0832 各脚功能说明如下。

$DI_0 \sim DI_7$ ：8 位数据输入端，TTL 电平，有效时间大于 90ns。

ILE：数据锁存允许控制端，高电平有效，当 ILE=1 时，8 位输入锁存器允许数字信号输入。

\overline{CS} ：片选控制端，低电平有效，当 $\overline{CS}=0$ 时，本片被选中工作。

\overline{WR}_1 ：输入锁存器写选通控制端。如图 7-5 (a) 所示，输入锁存器能否锁存输入数据，由 ILE、 \overline{CS} 、 \overline{WR}_1 共同决定，当 ILE 为高电平、 \overline{CS} 为低电平、 \overline{WR}_1 输入低电平脉冲（宽度应大于 500ns）时， \overline{CS} 、 \overline{WR}_1 电平取反后送到与门（与门输入端的小圆圈表示取反），在锁存器的 \overline{LE}_1 端会得到一个高电平。在 \overline{LE}_1 为高电平时，锁存器的数据会随数据输入线的状态变化（即不能锁存数据），当 \overline{LE}_1 由高电平转为低电平（ \overline{WR}_1 低电平脉冲转为高电平）时，输入线上的数据被锁存下来（即输入线的数据再发生变化，锁存器中的数据不会随之变化）。



$\overline{\text{XFER}}$ ：数据传送控制端，低电平有效。

$\overline{\text{WR}}_2$ ：DAC寄存器写选通控制端。DAC寄存器能否保存输入数据，由 $\overline{\text{XFER}}$ 、 $\overline{\text{WR}}_2$ 共同决定，当 $\overline{\text{XFER}}$ 为低电平、 $\overline{\text{WR}}_2$ 输入低电平脉冲，在寄存器的 $\overline{\text{LE}}_2$ 会得到一个高电平。在 $\overline{\text{LE}}_2$ 为高电平时，寄存器不能保存锁存器送来的数据，当 $\overline{\text{LE}}_2$ 由高电平转为低电平（ $\overline{\text{WR}}_2$ 低电平脉冲转为高电平）时，寄存器将锁存器送来的数据保存下来。

I_{OUT1} ：模拟量电流输出端 1。当 $\text{DI}_0 \sim \text{DI}_7$ 端都为 1 时， I_{OUT1} 的值最大。

I_{OUT2} ：模拟量电流输出端 2。该端的电流值与 I_{OUT1} 之和为一常数，即 I_{OUT1} 的值大时 I_{OUT2} 的值小。

R_{FB} ：反馈信号输入端。在芯片该引脚内部有反馈电阻。

V_{CC} ：电源输入端。该端可接 $+5 \sim +15\text{V}$ 电压。

V_{REF} ：基准电压输入端。该端可接 $-10 \sim +10\text{V}$ 电压，此端电压决定 D/A 输出电压的范围。

A_{GND} ：模拟电路地。它为模拟信号和基准电源的参考地。

D_{GND} ：数字电路地。它为工作电源地和数字电路地。

3. 应用电路

DAC0832 典型应用电路如图 7-6 所示。

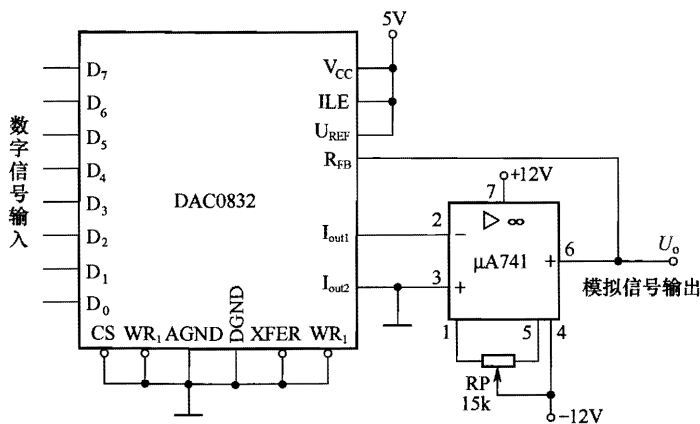


图 7-6 DAC0832 典型应用电路

DAC0832 有 3 种工作模式。

① 直通工作模式。当 $\overline{\text{WR}}_1$ 、 $\overline{\text{WR}}_2$ 、 $\overline{\text{XFER}}$ 和 $\overline{\text{CS}}$ 接低电平， ILE 接高电平时，DAC0832 处于直通工作模式，在该模式下，输入锁存器和 DAC 寄存器都处于直通状态，输入的数字信号可以直接通过它们到达 D/A 转换器。

② 单缓冲工作模式。当 $\overline{\text{WR}}_2$ 、 $\overline{\text{XFER}}$ 接低电平时，DAC 寄存器工作在直通状态，由输入锁存器缓冲送来的信号可以直接通过 DAC 寄存器到达 D/A 转换器。

③ 双缓冲工作模式。当输入锁存器和 DAC 寄存器都处于受控状态时，数字信号在锁

存器和寄存器中都要经过缓冲，再送到 D/A 转换器。

在图 7-6 所示电路中，DAC0832 工作在直通模式， $D_7 \sim D_0$ 端输入的数字信号在内部直接通过输入锁存器和 DAC 寄存器，然后经 D/A 转换器转换成模拟信号电流从 I_{out1} 端输出，再送到运算放大器 $\mu A741$ 进行放大，并转换成模拟信号电压 U_o 输出。

7.3 A/D 转换器

7.3.1 A/D 转换原理

A/D 转换器又称模/数转换器，简称 ADC，其功能是将模拟信号转换成数字信号。模/数转换由采样、保持及量化、编码 4 个步骤来完成，A/D 转换过程如图 7-7 所示，模拟信号经采样、保持、量化和编码后就转换成数字信号。

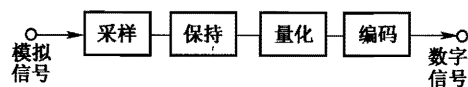


图 7-7 A/D 转换过程

1. 采样和保持

采样就是每隔一定的时间对模拟信号进行取值；而保持则是将采样取得的信号值保存下来。采样和保持往往结合在一起应用。下面以图 7-8 来说明采样和保持原理。

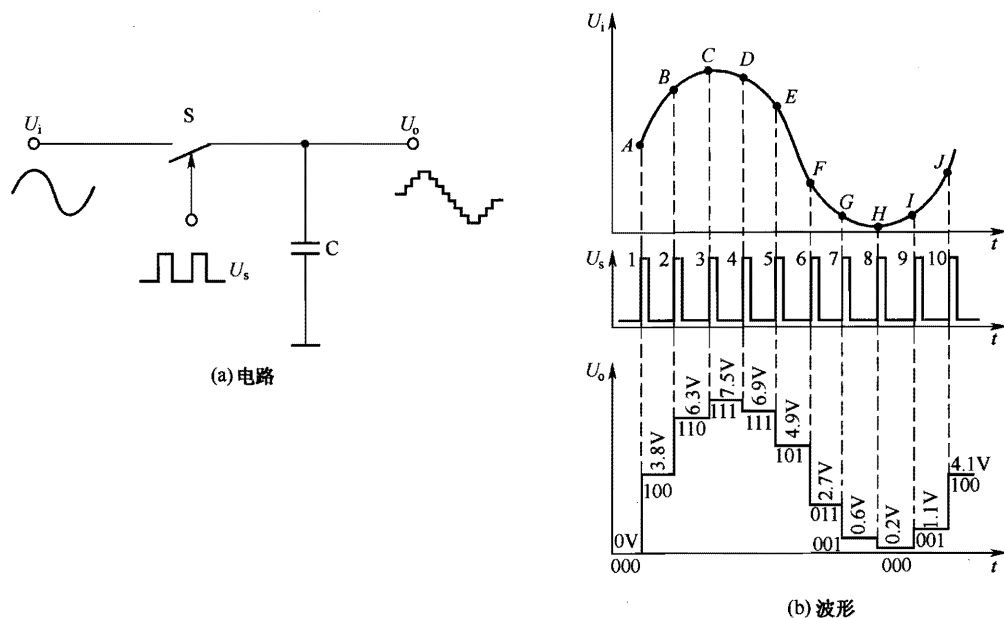


图 7-8 采样和保持原理



图 7-8 (a) 中的 S 为模拟开关, 实际上一般为晶体管或场效应管, S 的通、断受采样脉冲 U_s 的控制, 当采样脉冲到来时, S 闭合, 输入信号 U_i 可以通过, 采样脉冲过后, S 断开, 输入信号无法通过, S 起采样作用。电容 C 为保持电容, 它能保存采样过来的信号电压值。

在工作时, 给采样开关 S 输入图 7-8 (b) 所示的模拟信号 U_i , 同时给开关 S 控制端加采样脉冲 U_s 。当采样脉冲第 1 个脉冲到来时, S 闭合, 此时正好是模拟信号 A 点电压到来, A 点电压通过开关 S 对保持电容 C 充电, 在电容上充得与 A 点相同的电压, 脉冲过后, S 断开, 电容 C 无法放电, 所以在电容上保持与 A 点一样的电压。

当第 2 个采样脉冲到来时, S 闭合, 此时正好是模拟信号 B 点电压到来, B 点电压通过开关 S 对保持电容 C 充电, 在电容 C 上充得与 B 点相同的电压, 脉冲过后, S 断开, 电容 C 无法放电, 所以在电容 C 上保持与 B 点一样的电压。

当第 3 个采样脉冲到来时, 在电容 C 上得到与 C 点一样的电压。

当第 4 个采样脉冲到来时, S 闭合, 此时正好是模拟信号 D 点电压到来, 由于 D 点电压较电容上的电压 (第 3 个脉冲到来时 C 点对电容 C 充得的电压) 略低, 电容 C 通过开关 S 向输入端放电, 放电使电容 C 上的电压下降到与模拟信号 D 点相同的电压, 脉冲过后, S 断开, 电容 C 无法放电, 所以在电容 C 上保持与 D 点一样的电压。

当第 5 个采样脉冲到来时, S 闭合, 此时正好是模拟信号 E 点电压到来, 由于 E 点电压较电容 C 上的电压低, 电容 C 通过开关 S 向输入端放电, 放电使电容 C 上的电压下降到与模拟信号 E 点相同的电压, 脉冲过后, S 断开, 电容 C 无法放电, 所以在电容 C 上保持与 E 点一样的电压。

如此工作后, 在电容 C 上就得到如图 7-8 (b) 所示的 U_o 信号。

2. 量化与编码

量化是指根据编码位数需要, 将采样信号电压分割成整数个电压段的过程。**编码**是指将每个电压段用相应的二进制数表示的过程。

以图 7-8 所示信号为例, 模拟信号 U_i 经采样、保持得到采样信号电压 U_o , U_o 的电压变化范围是 $0 \sim 7.5V$, 现在需要用 3 位二进制数对它进行编码, 由于 3 位二进制数只有 $2^3 = 8$ 个数值, 所以将 $0 \sim 7.5V$ 分成 8 份: $0 \sim 0.5V$ 为第 1 份 (又称第 1 等级), 以 $0V$ 作为基准, 即在 $0 \sim 0.5V$ 范围内的电压都当成是 $0V$, 编码时用 “000” 表示; $0.5 \sim 1.5V$ 为第 2 份, 基准值为 $1V$, 编码时用 “001” 表示; $1.5 \sim 2.5V$ 为第 3 份, 基准值为 $2V$, 编码时用 “010” 表示; 依此类推, $5.5 \sim 6.5V$ 为第 7 份, 基准值为 $6V$, 编码时用 “110” 表示; $6.5 \sim 7.5V$ 为第 8 份, 基准值为 $7V$, 编码时用 “111” 表示。

综上所述, 图 7-8 (b) 中的模拟信号经采样、保持后得到采样电压 U_o , 采样电压 U_o 。

再经量化、编码后就转换成数字信号（000 100 110 111 111 101 011 001 000 001 100），从而完成了模/数转换过程。

7.3.2 A/D 转换器

A/D 转换器种类很多，下面介绍两种较常见的 A/D 转换器：并联比较型 A/D 转换器和逐次逼近型 A/D 转换器。

1. 并联比较型 A/D 转换器

3 位并联比较型 A/D 转换器如图 7-9 所示，它由电阻分压器、电压比较器和 3 位二进制编码器构成。

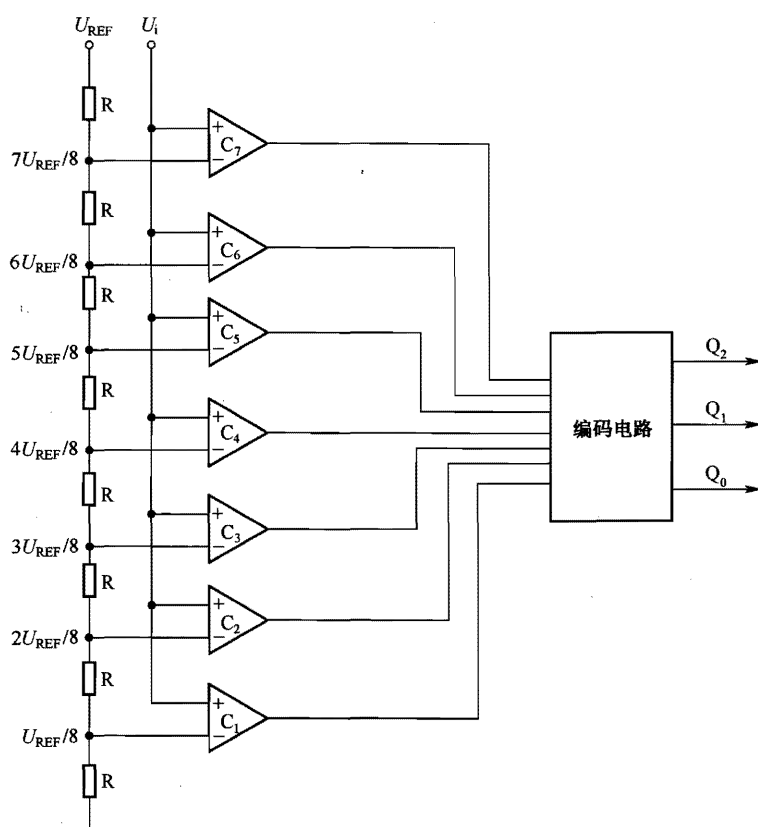
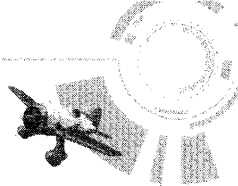


图 7-9 3 位并联比较型 A/D 转换器

电路工作原理说明如下：

参考电压 U_{REF} 经 8 个相同的电阻分压后得到 $1/8U_{REF}$ 、 $2/8U_{REF}$ …… $7/8U_{REF}$ 7 个不同的电压，它们分别送到 7 个比较器（运算放大器）的“-”输入端，输入的模拟信号电压 U_i 同时送到 7 个比较器的“+”输入端。参考电压 U_{REF} 的数值可以根据情况设定，如果输



入的模拟信号电压范围大,则要求参考电压 U_{REF} 高。

当送到各个比较器“+”端的模拟信号 U_i 电压低于 $1/8U_{REF}$ 时,每个比较器的“+”端电压都较“-”端电压低,各个比较器都输出低电平“0”,这些“0”送到3位二进制编码器,经编码后输出数据为 $Q_2Q_1Q_0=000$ 。

当输入的模拟信号电压为 $2/8U_{REF} > U_i > 1/8U_{REF}$ 时,比较器 C_1 的“+”端电压都较“-”端电压高,它输出高电平“1”,而其他各个比较器的“+”端电压都较“-”端电压低,它们都输出低电平“0”,比较器输出的 $C_7C_6C_5C_4C_3C_2C_1=0000001$ 送到3位二进制编码器,经编码后输出数据为 $Q_2Q_1Q_0=001$ 。

依此类推,当输入的模拟信号电压为 $3/8U_{REF} > U_i > 2/8U_{REF}$ 、 $4/8U_{REF} > U_i > 3/8U_{REF}$ 、 $5/8U_{REF} > U_i > 4/8U_{REF}$ 、 $6/8U_{REF} > U_i > 5/8U_{REF}$ 、 $7/8U_{REF} > U_i > 6/8U_{REF}$ 、 $7/8U_{REF} > U_i > 6/8U_{REF}$ 时,编码器会输出 010、011、100、101、110、111。

由上面的分析可以看出,当输入模拟信号电压时,电路会输出数字信号,从而实现了模/数转换。

并联比较型 A/D 转换器的输入和输出关系见表 7-1。

表 7-1 并联比较型 A/D 转换器的输入/输出状态表

输入信号 U_i	比较器输出							编码输出		
	C_1	C_2	C_3	C_4	C_5	C_6	C_7	Q_2	Q_1	Q_0
$U_{REF} \geq U_i > 7/8U_{REF}$	1	1	1	1	1	1	1	1	1	1
$7/8U_{REF} \geq U_i > 6/8U_{REF}$	1	1	1	1	1	1	0	1	1	0
$6/8U_{REF} \geq U_i > 5/8U_{REF}$	1	1	1	1	1	0	0	1	0	1
$5/8U_{REF} \geq U_i > 4/8U_{REF}$	1	1	1	1	0	0	0	1	0	0
$4/8U_{REF} \geq U_i > 3/8U_{REF}$	1	1	1	0	0	0	0	0	1	1
$3/8U_{REF} \geq U_i > 2/8U_{REF}$	1	1	0	0	0	0	0	0	1	0
$2/8U_{REF} \geq U_i > 1/8U_{REF}$	1	0	0	0	0	0	0	0	0	1
$1/8U_{REF} \geq U_i > 0$	0	0	0	0	0	0	0	0	0	0

并联比较型 A/D 转换器的优点是转换速度快,各位数字信号输出是同时完成的,所以转换速度与输出码的位数多少无关,但这种转换器所需的元件数量多,3 位转换器需要 $2^3-1=7$ 个比较器,而 10 位转换器需要 $2^{10}-1=1\,023$ 个比较器,因此位数多的 A/D 转换器很少采用并联比较型 A/D 转换器。



2. 逐次逼近型 A/D 转换器

逐次逼近型 A/D 转换器是一种带有反馈环节的比较型 A/D 转换器。图 7-10 所示是 3 位逐次逼近型 A/D 转换器结构示意图，它由比较器、DAC、寄存器和控制电路等组成。

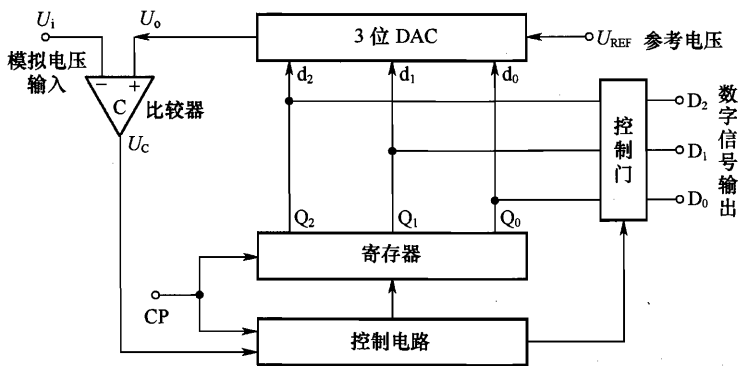


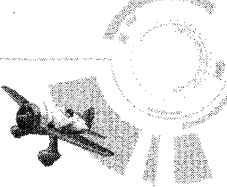
图 7-10 3 位逐次逼近型 A/D 转换器结构示意图

电路工作原理说明如下：

首先，控制电路将寄存器复位清零，接着控制寄存器输出 $Q_2Q_1Q_0=100$ ，100 经 DAC 转换成电压 U_o ， U_o 送到比较器的“+”端，与此同时，待转换的模拟电压 U_i 也送到比较器的“-”端，比较器将 U_o 、 U_i 两电压进行比较，比较结果有两种情况： $U_o>U_i$ 和 $U_o<U_i$ 。

① 若 $U_o>U_i$ ，则比较器输出 U_c 为高电平，表明寄存器输出数字信号 $Q_2Q_1Q_0=100$ 偏大。控制电路令寄存器将最高位 Q_2 置“0”，同时将 Q_1 置“1”，输出数字信号 $Q_2Q_1Q_0=010$ ，“010”再由 DAC 转换成电压 U_o 并送到比较器，与 U_i 进行比较，若 $U_o<U_i$ ，比较器输出 U_c 为低电平，表明寄存器输出 $Q_2Q_1Q_0=010$ 偏小，控制电路令寄存器将 Q_1 的“1”保留，同时将 Q_0 置“1”，寄存器输出 $Q_2Q_1Q_0=011$ ，“011”转换成的模拟电压 U_o 最接近输入电压 U_i ，控制电路令控制门打开，寄存器输出的“011”就经控制门送到数字信号输出端，“011”就为 U_i 当前采样点电压转换成的数字信号。接着控制电路将寄存器清“0”，然后又令寄存器输出“100”，开始将下一个采样点的 U_i 电压转换成数字信号。

② 若 $U_o<U_i$ ，则比较器输出 U_c 为低电平，表明寄存器输出数字信号 $Q_2Q_1Q_0=100$ 偏小，控制电路令寄存器将最高位 Q_2 的“1”保留，同时将 Q_1 置“1”，输出数字信号 $Q_2Q_1Q_0=110$ ，“110”再由 DAC 转换成电压 U_o 并送到比较器，与 U_i 进行比较，若 $U_o>U_i$ ，比较器输出 U_c 为高电平，表明寄存器输出 $Q_2Q_1Q_0=110$ 偏大，控制电路令寄存器将 Q_1 置“0”，同时将 Q_0 置“1”，寄存器输出 $Q_2Q_1Q_0=101$ ，“101”转换成的模拟电压 U_o 最接近输入电压 U_i ，控制电路令控制门打开，寄存器输出的“101”经控制门送到数字信号输出端，“101”就为当前采样点电压转换成的数字信号。接着控制电路将寄存器清“0”，然后又令寄存器输出“100”，开始将下一个采样点的 U_i 电压转换成数字信号。



总之, 逐次逼近型 A/D 转换器是通过不断变化寄存器输出的数字信号, 并将数字信号转换成电压与输入模拟电压进行比较, 当数字信号转换成的电压逼近输入电压时, 就将该数字信号作为模拟电压转换成数字信号输出, 从而实现 A/D 转换。

逐次逼近型 A/D 转换器在进行 A/D 转换时, 每次都需要逐位比较, 对于 n 位 A/D 转换器, 其完成一个采样点转换所需的时间是 $n+2$ 个时钟周期, 所以转换速度较并联比较型 A/D 转换器慢, 但在位数多时, 其使用的元器件数量较后者少得多, 因此集成 ADC 广泛采用逐次逼近型 A/D 转换器。

7.3.3 A/D 转换芯片 ADC0809

1. 内部结构

ADC0809 是一个 8 位 A/D 转换器, 其内部结构和引脚排列如图 7-11 所示。从图中可以看出, ADC0809 由 8 路模拟量开关、地址锁存与译码器、8 位 A/D 转换器和三态门输出锁存器等部分组成。

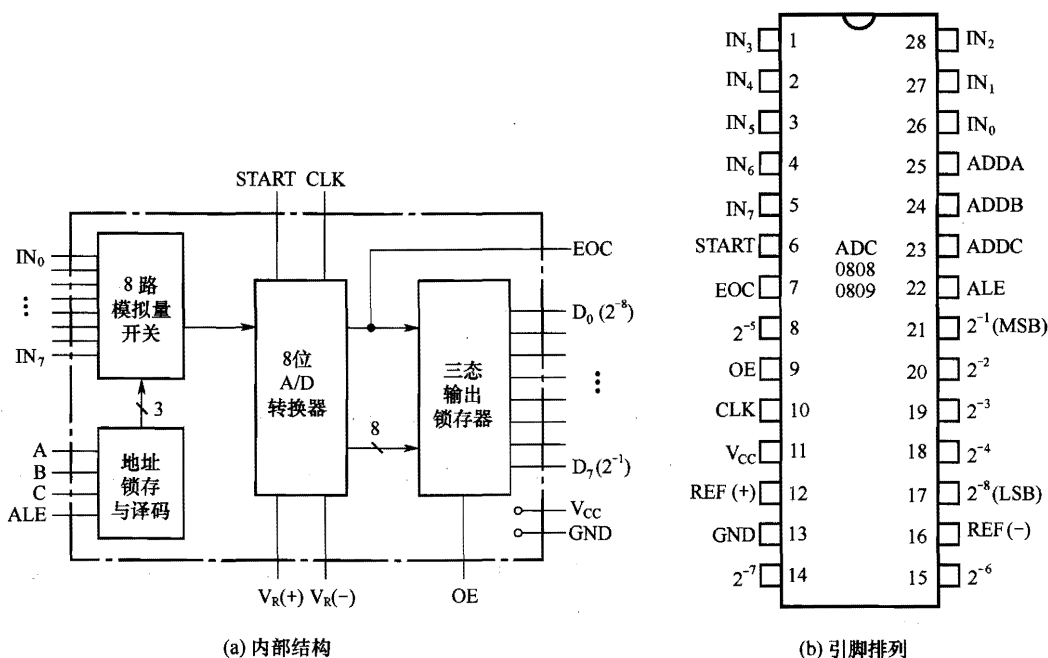


图 7-11 A/D 转换芯片 ADC0809

8 路模拟量开关可外接 8 路模拟信号输入; 地址锁存与译码器的功能是锁存 A、B、C 引脚送入的地址选通信号, 并译码得到控制信号, 以选择 8 路模拟量开关中的某一路进入 A/D 转换器; 8 位 A/D 转换器的功能是将模拟量信号转换成数字信号; 三态门输出锁存器

的功能是将 A/D 转换器送来的数字信号锁存起来, 当 OE 端由低电平变为高电平时, 锁存器就会将数字量从 $D_0 \sim D_7$ 端输出。

2. 各引脚功能说明

ADC0809 引脚排列及功能标注如图 7-11 (b) 所示。各引脚功能说明如下。

$IN_0 \sim IN_7$: 8 路模拟量输入端口。

$D_0 (2^{-8}) \sim D_7 (2^{-1})$: 8 路数字量输出端口。

START: A/D 转换器启动控制端。START 端正脉冲宽度应大于 100ns, 在脉冲上升沿来时对内部逐近寄存器清“0”, 下降沿来时, A/D 转换器开始工作, 在工作期间, START 应保持低电平。

ADDA、ADDB、ADDC: 8 路模拟量开关地址选通控制端。三端输入不同的值可以选择 8 路中的一路输入, 具体见表 7-2。

表 7-2 选通控制端不同电平与所选通道

ADDC	ADDB	ADDA	选择通道
0	0	0	IN_0
0	0	1	IN_1
0	1	0	IN_2
0	1	1	IN_3
1	0	0	IN_4
1	0	1	IN_5
1	1	0	IN_6
1	1	1	IN_7

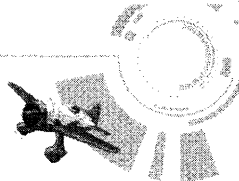
ALE: 地址锁存控制端。当该端为高电平时, 将 ADDA、ADDB、ADDC 端的地址选通信号送入地址锁存器, 并译码得到地址输出 8 路模拟量开关, 选择相应通道的模拟量输入。在使用时, ALE 端通常与 START 端连接。

EOC: 转换结束信号输出端。在 A/D 转换时, EOC 为低电平, 转换结束时, EOC 变为高电平, 根据这个信号可以知道 A/D 转换器的状态。

OE: 输出允许控制端。当 OE 由低变高时, 打开三态输出锁存器, 锁存的数字量会从 $D_0 \sim D_7$ 端送出。

CLK: 时钟信号输入端。该端输入的时钟信号控制 A/D 转换器转换速度, 它的频率范围为 10 ~ 1 280kHz。

REF (+)、REF (-): 参考电压输入端。REF (+) 端通常与 V_{CC} 相连, 而 REF (-)



与GND相连。

V_{CC} : 电源。

GND: 接地。

3. 应用电路

图 7-12 所示是一个 ADC0809 典型应用电路。该电路有以下几个要点:

① OE 端接高电平 (电源), 允许芯片输出数字信号。

② CLOCK 端输入 200kHz 的脉冲作为芯片内部电路的 CP 时钟脉冲。

③ START 端和 ALE 端接单脉冲。当脉冲来时, ALE 端为高电平, 使 $A_2A_1A_0$ 端输入的通道选择信号有效, 芯片选择 $IN_0 \sim IN_7$ 中的某路输入; 当脉冲来时, 脉冲上升沿进入 START 端, 使 A/D 转换器的寄存器清零, 脉冲下降沿来时, A/D 转换器开始对选择通道送入的模拟电压进行 A/D 转换, 从 $D_7 \sim D_0$ 端输出数字信号。

④ EOC 端悬空未用, 即芯片不使用转换结束输出端功能。

图 7-12 电路的工作过程说明如下:

当电路按图示方式接好后, 让 $A_2A_1A_0=000$, 在单脉冲输入 ALE 端时, 选择 IN_0 路输入。在 CLOCK 端提供时钟脉冲和 START 端输入单脉冲后, 芯片开始对 IN_0 端输入的电压进行 A/D 转换, 转换成的数字信号从 $D_7 \sim D_0$ 端输出。

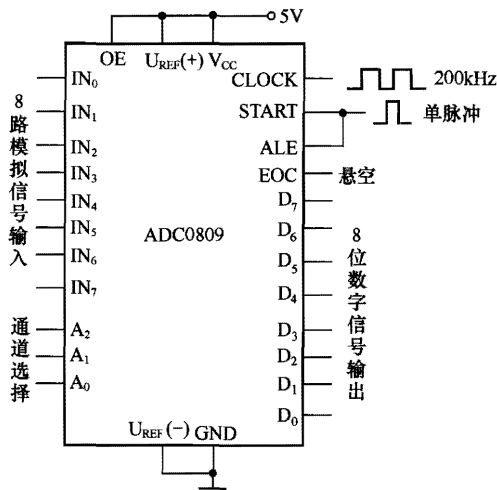


图 7-12 ADC0809 典型应用电路



习题7

1. D/A 转换器又称_____, 简称_____, 它的功能是_____。
2. D/A 转换的基本原理是将数字信号中的每位数按_____大小转换成相应大小的电压, 再将这些电压_____而得到的电压就是模拟信号电压。
3. 对于 n 位权电阻型 D/A 转换器, 其输出电压 $U_o =$ _____。
4. 对于 n 位倒 T 型 D/A 转换器, 其输出电压 $U_o =$ _____。
5. DAC0832 是一个_____位分辨率的 D/A 转换器, 它有 3 种工作模式, 分别是_____工作模式、_____工作模式和_____工作模式。
6. A/D 转换器又称_____, 简称_____, 其功能是_____。A/D 转换由_____, _____及_____, _____ 4 个步骤来完成。
7. 采样是指每隔一定的时间对模拟信号进行_____; 而保持则是将_____保存下来。
8. 量化是指根据编码位数需要, 将采样信号电压分割成_____的过程。编码是指_____的过程。
9. 并联比较型 A/D 转换器的优点是_____快, 各位数字信号输出是同时完成的, 所以转换速度与_____的位数多少无关, 但这种转换器所需的_____。
10. 对于 n 位逐次逼近型 A/D 转换器, 其完成一个采样点转换所需的时间是 $n+2$ 个时钟周期, 所以转换速度较并联比较型 A/D 转换器_____, 在位数多时, 其使用的元件数量较后者_____, 因此集成 ADC 广泛采用_____。

第8章

半导体存储器

本章知识结构

- 8.1 顺序存储器
 - 8.1.1 动态移存单元
 - 8.1.2 动态移存器
 - 8.1.3 顺序存储器
- 8.2 随机存储器
 - 8.2.1 随机存储器的结构与原理
 - 8.2.2 存储单元
 - 8.2.3 存储器容量的扩展
- 8.3 只读存储器
 - 8.3.1 固定只读存储器 (ROM)
 - 8.3.2 可编程只读存储器 (PROM)
 - 8.3.3 可改写只读存储器 (EPROM)
 - 8.3.4 电可改写只读存储器 (EEPROM)

半导体存储器是指由半导体材料制成的、用来存取二进制的电路。半导体存储器可分为顺序存储器、随机存储器和只读存储器。存储器广泛用在数码电子产品、家电智能控制器、工业自动化控制系统中。

8.1 顺序存储器

顺序存储器简称 SAM (Sequential Access Memory), 它是一种按一定的顺序逐位 (串行) 将数据存入或取出的存储器, 又称为串行存储器。顺序存储器是由动态移存器组成, 而动态移存器则是由基本的动态移存单元组成。

8.1.1 动态移存单元

动态移存单元是顺序存储器中最基本的组成单元, 由于它主要是由 MOS 管构成, 所以称为动态 MOS 移存单元。

动态 MOS 移存单元种类较多, 由 CMOS 电路构成的 CMOS 动态移存单元较为常见。CMOS 动态移存单元如图 8-1 所示, 它采用了类似主从触发器的主从结构。

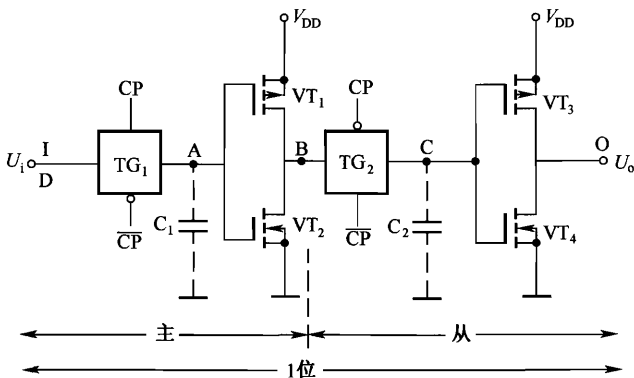


图 8-1 CMOS 动态移存单元

电路工作原理分析如下:

当 $CP=1$ 、 $\overline{CP}=0$ 时, 传输门 TG_1 导通, TG_2 截止, 主电路工作, 从电路不工作。此时如果输入信号 U_i 为“1”, 它经 TG_1 对 MOS 管的输入分布电容 C_1 充电 (输入分布电容是 MOS 的结构形成的, 在电路中看不见, 故图中用虚线表示), 电容 C_1 上得到高电平, 该电平使 VT_1 截止、 VT_2 导通, 在 B 点得到低电平“0”。

当 $CP=0$ 、 $\overline{CP}=1$ 时, 传输门 TG_1 截止, TG_2 导通, 主电路不工作, 从电路开始工作。



此时 B 点的低电平“0”经 TG_2 送到 VT_3 、 VT_4 的 G 极, 该电平使 VT_3 导通、 VT_4 截止, 输出端 U_o 输出高电平“1”。

CMOS 动态移存单元的功耗很低, 所以可用来制作微功耗的顺序存储器。

8.1.2 动态移存器

动态移存器是由很多动态 MOS 移存单元串接而成的, 所以又称动态 MOS 移存器。图 8-2 是一个 1 024 位动态移存器。

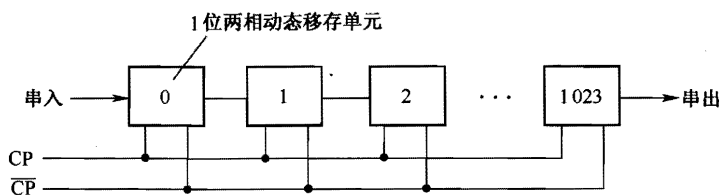


图 8-2 1024 位动态移存器

电路工作原理说明如下:

当第 1 个时钟脉冲到来时, $CP=1$ 、 $\overline{CP}=0$, 数据由串入端进入第 1 个动态移存单元的主移存单元, 时钟脉冲过后, $CP=0$ 、 $\overline{CP}=1$, 数据由主移存单元进入从移存单元。

当第 2 个时钟脉冲到来时, $CP=1$ 、 $\overline{CP}=0$, 数据从第 1 个动态移存单元移出, 进入第 2 个动态移存单元的主移存单元, 时钟脉冲过后, $CP=0$ 、 $\overline{CP}=1$, 数据由主移存单元进入从移存单元。

也就是说, 每到来一个时钟脉冲, 数据就前进 1 位, 1024 个时钟脉冲过后, 1024 位数据就依次存入这个 1024 位的动态移存器。

8.1.3 顺序存储器

顺序存储器是由动态移存器和一些控制电路组合构成的。

1. 1 024 × 1 位顺序存储器

1 024 × 1 位顺序存储器可以存储 1 024 位数据, 其组成如图 8-3 所示。

该顺序存储器由 3 个门电路构成的控制电路和一个 1 024 位的动态移存器组成, 它有 3 种工作方式: 写、读和循环刷新。顺序存储器的 R/\overline{W} 为读/写控制端。

当 $R/\overline{W}=0$ 时, 与门 G_1 关闭, 从输出端反馈过来的数据无法通过与门 G_1 , 与门 G_2 开通 (G_2 端小圆圈表示低电平输入有效, 并且输入电平还需经非门转换再送到与门输入端),



D 端输入的数据通过与门 G_2 、或门 G_3 送入动态移存器，在时钟脉冲 CP 和 \overline{CP} 的控制下，输入的数据逐位进入移存器，此工作方式称为写操作。

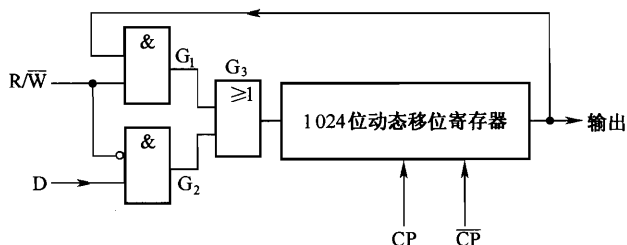


图 8-3 1024×1 位 SAM

当 $R/\overline{W}=1$ 时，与门 G_1 开放，与门 G_2 关闭，D 端的数据无法进入，即无法进行写操作；在 CP 和 \overline{CP} 的控制下，移存器内的数据逐位从输出端输出，即将数据逐位取出，此工作方式称为读操作。

另外，在 $R/\overline{W}=1$ 时，移存器输出端的数据除了往后级电路传送外，还通过一条反馈线反送到移存器输入端重新逐位进入移存器，这个过程称为“刷新”。“刷新”可以让移存器中的数据得以长时间保存，有效地解决了移存器中 MOS 管输入分布电容不能长时间保存数据的问题。在不对存储器进行读、写操作时，应让 $R/\overline{W}=1$ ，让存储器不断进行循环刷新，使数据能一直保存。

2. 1024×8 位顺序存储器

1024×8 位顺序存储器实际上是一个 1KB（1024 字节）的存储器，其组成如图 8-4 所示，从图中可以看出，它由 8 个 1024×1 位顺序存储器（SAM）并联而成。

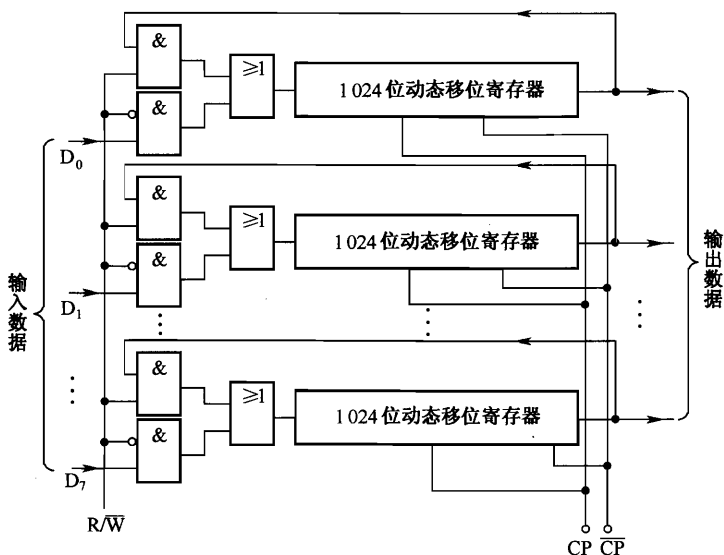


图 8-4 1024×8 位 SAM



电路工作原理说明如下:

8 位数据同时送到 $D_0 \sim D_7$ 8 个输入端, R/\overline{W} 端同时接到 8 个 SAM 的读/写控制端, 时钟控制信号 CP 、 \overline{CP} 端同时接到 8 个 SAM 的动态移存器。

当 $R/\overline{W}=0$ 时, 存储器执行写操作, 8 位数据从 $D_0 \sim D_7$ 端进入 8 个 SAM, 在时钟脉冲 CP 、 \overline{CP} 的控制下, 8 位数据同时逐位进入 8 个动态移存器。1 024 个时钟脉冲过后, $1\,024 \times 8$ 位数据就存入这个存储器。

当 $R/\overline{W}=1$ 时, 存储器执行读操作, 在时钟脉冲的控制下, 存储器中的 8 位数据逐位输出。1 024 个时钟脉冲过后, $1\,024 \times 8$ 位数据全部被读出。

在不进行读、写操作时, 使 $R/\overline{W}=1$, 存储器输出的数据不断地反送到输入端进行“刷新”。

8.2 随机存储器

顺序存储器具有存入和取出数据的功能, 但如果需要从中任取 1 位数据时, 就需要先将该数据右边的数据全部移出, 然后才能取出该位数据, 显然这样速度很慢, 并且很麻烦, 随机存储器可以很好解决这个问题。

随机存储器也有读/写功能, 所以也叫可读写存储器, 简称 RAM (Random Access Memory)。随机存储器能存入数据 (称为写数据)、又可以将存储的数据取出 (称为读数据), 在通电的情况下数据可以一直保存, 断电后数据会消失。

8.2.1 随机存储器的结构与原理

随机存储器主要由存储矩阵、地址译码器、片选与读/写控制电路 3 部分组成, 其结构如图 8-5 所示。

1. 存储矩阵

RAM 中有很多存储单元 (由 MOS 管或触发器构成), 每个存储单元能存储 1 位二进制数 (“1” 或 “0”), 这些存储单元通常排列成矩阵, 称之为存储矩阵。图 8-5 所示的每个小方块都代表一个存储单元, 它们排列成 16 行 16 列的矩形阵列, 共有 256 个存储单元, 可以存储 256×1 个二进制数, 即该 RAM 的容量为 256×1 位。

2. 地址译码器

存储矩阵就像一幢大楼, 大楼有多层, 并且每层有多个房间, 存储单元就像每个房间。一个 16 行 16 列的存储矩阵就相当于一幢 16 层、每层有 16 个房间的大楼, 每个房



间可以存储物品，为了存取物品方便，需要给每个房间进行地址编号，例如第 8 层第 7 个房间的地址编号为 0807，以后只要给出地址编号 0807 就可以找到这个房间，将物品存入或取出。

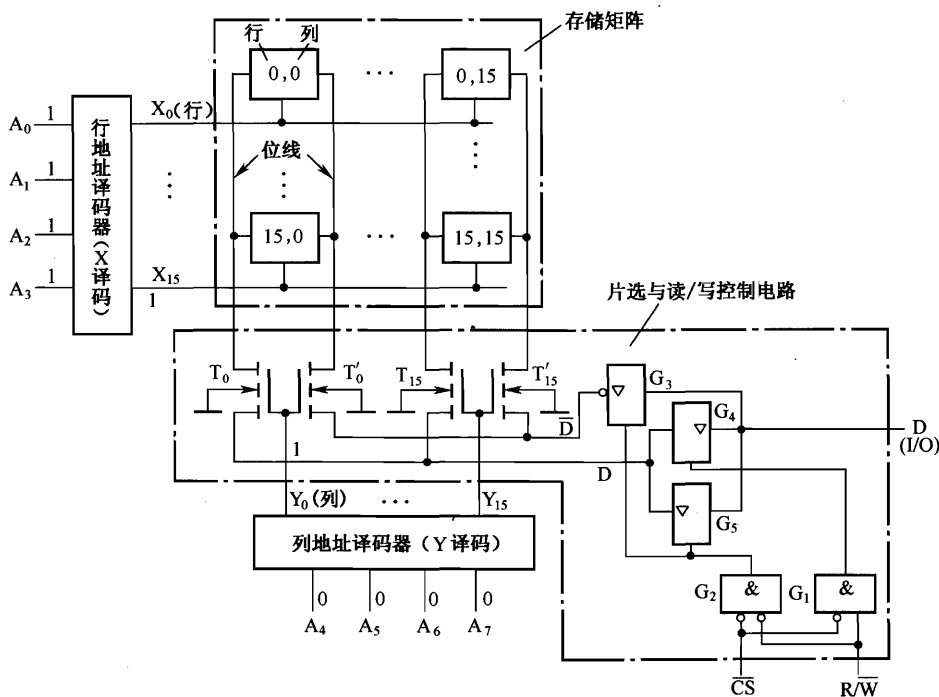


图 8-5 RAM 结构示意图

同样地，存储矩阵中的每个存储单元都有地址编号，比如 15 行 0 列的存储单元的地址编号为 1500。不过存储单元地址编号都采用二进制表示，15 行 0 列的存储单元的二进制地址就是 11110000，其中 1111 为行地址，0000 为列地址。

地址译码器的功能就是根据输入的地址码选中相应的存储单元。在图 8-5 中，第 15 行 0 列存储单元的地址码是 11110000，如果要选中该单元，可以将行地址 1111 和列地址 0000 分别送到行、列地址译码器，即让 $A_3A_2A_1A_0=1111$ ， $A_7A_6A_5A_4=0000$ 。

$A_3A_2A_1A_0=1111$ 经行地址译码后，从行线 X_{15} 输出高电平，其他的行线都为低电平，第 15 行的存储单元都被选中； $A_7A_6A_5A_4=0000$ 经列地址译码后，只有列线 Y_0 输出高电平，高电平送到门控管 T_0 、 T'_0 的 G 极，两个门控管导通，第 0 列存储单元被选中。同时被行、列选中的只有第 15 行 0 列存储单元，可以对该单元进行读/写操作。

3. 片选与读/写控制电路

有一些数字电路处理系统需要 RAM 的容量很大，一片 RAM 往往不能满足要求，通常的做法是将多片 RAM 组合起来使用，系统在对 RAM 读写时，每次只与其中的一片或几片



RAM 发生联系, 为了让一些 RAM 工作而让另一些 RAM 不工作, 在每片 RAM 上加有控制端, 又称片选端 \overline{CS} 。

在图 8-5 所示的 RAM 中, 进行写操作时, 输入的数据 D 是经过三态门 G_3 、 G_5 进入存储单元的; 而在读操作时, 存储器的数据是通过三态门 G_4 送到数据线上。具体读/写操作过程分析如下。

当片选端 $\overline{CS}=0$ 时, 它送到与门, 取反后变为“1”, 使 G_2 、 G_1 都开通 (与门输入端的小圆圈表示在输入端加非门, 对输入信号取反), 该 RAM 处于选中状态。若 $R/\overline{W}=1$, 则 G_2 输出“0”, 它使三态门 G_3 、 G_5 呈高阻态; 而 G_1 输出“1”, 它使三态门 G_4 导通, 存储器执行读操作, 存储矩阵的数据可以通过门控管 T 和三态门 G_4 送往数据线。若 $R/\overline{W}=0$, 则 G_1 输出“0”, 它使三态门 G_4 呈高阻态, 而 G_2 输出“1”, 它使三态门 G_3 、 G_5 呈导通状态, 存储器执行写操作, 数据线 D 上的数据通过 G_3 、 G_5 和门控管 T、 T' 送到存储矩阵。

当片选端 $\overline{CS}=1$ 时, 它送到与门, 取反后变为“0”, G_2 、 G_1 都被封锁, 三态门 G_3 、 G_4 、 G_5 都呈高阻态, 数据线与存储器隔断, 无法对该存储器进行读/写操作。即当片选端 $\overline{CS}=1$ 时, 该 RAM 处于未选中状态。

4. RAM 的工作过程

如果要往 RAM 中的某存储单元存入或取出数据, 首先将该单元的地址码送到行、列地址译码器。例如将地址码 $A_7A_6A_5A_4A_3A_2A_1A_0=00001111$ 送到行、列地址译码器, 译码后选中第 15 行 0 列存储单元, 然后送片选信号到 \overline{CS} 端, 让 $\overline{CS}=0$, 该存储器处于选中状态, 再送出读/写控制信号到 R/\overline{W} 端。若 $R/\overline{W}=1$, 执行读操作, 三态门 G_4 处于导通状态, 选中的存储单元中的数据经位线、 T_0 和 G_4 输出到数据线上; 若 $R/\overline{W}=0$, 执行读操作, 三态门 G_3 、 G_5 导通, 数据线上的数据经 G_3 、 G_5 和 T_0 、 T'_0 及位线存入选中的存储单元中。

8.2.2 存储单元

存储器的记忆体是存储单元, 根据工作原理不同, 存储单元可分为静态存储单元和动态存储单元。

1. 静态存储单元

静态存储单元采用了触发器作为记忆单元, 用静态存储单元构成的存储器称为静态存储器。静态存储单元通常有两种: NMOS 存储单元和 CMOS 存储单元。

(1) NMOS 存储单元

NMOS 存储单元如图 8-6 所示。

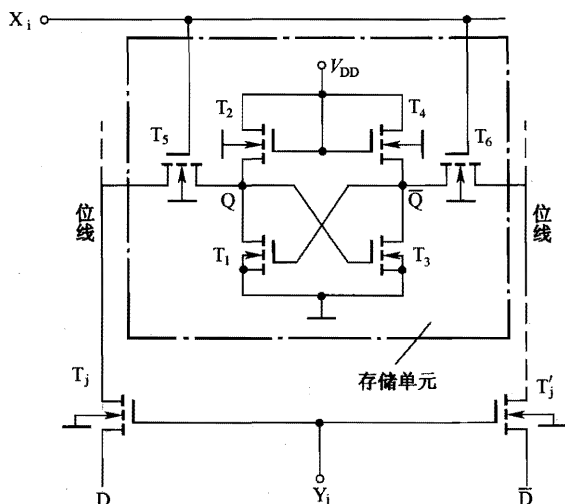


图 8-6 NMOS 存储单元

该存储单元采用了 6 只 NMOS 管, 故称为 6 管 NMOS 存储单元, 其中 T_1 、 T_2 、 T_3 、 T_4 组成基本 RS 触发器, 用来存储 1 位二进制数。 T_5 、 T_6 为行控制门管, 受行线 X_i 的控制, 当 $X_i=1$ 时, T_5 、 T_6 导通, 触发器的 Q 、 \bar{Q} 数据可以通过 T_5 、 T_6 送到位线, 位线上的数据也可以经 T_5 、 T_6 送到触发器; 当 $X_i=0$ 时, T_5 、 T_6 截止, 无法对触发器进行读写。 T_j 、 T_j' 为列控制门管, 当列线 $Y_j=1$ 时, T_j 、 T_j' 导通, 数据线上的数据可以通过 T_j 、 T_j' 到达位线, 因为 T_j 、 T_j' 为列内各存储单元共用, 故不计入存储单元的器件数目。

NMOS 存储单元的数据读/写过程分析如下。

如果要写数据 $D=1$ 写入存储单元, 首先让 $X_i=Y_j=1$ (来自地址码), 使 T_5 、 T_6 和 T_j 、 T_j' 都导通, 数据 $D=1$ 、 $\bar{D}=0$ 分别通过 T_j 、 T_j' 送到位线, 再经 T_5 、 T_6 送到触发器, $\bar{D}=0$ 加到 T_1 的栅极, T_1 截止, $D=1$ 加到 T_3 的栅极, T_3 导通, 触发器的 $Q=1$ 、 $\bar{Q}=0$, 此单元就写入了数据 “1”。

如果要读出存储单元的数据, 让 $X_i=Y_j=1$, T_5 、 T_6 、 T_j 、 T_j' 都导通, 触发器的 $Q=1$ 、 $\bar{Q}=0$ 分别通过 T_5 、 T_6 送到位线, 再经 T_j 、 T_j' 送到数据线, 从而完成数据的读取过程。

(2) CMOS 存储单元

CMOS 存储单元如图 8-7 所示。

CMOS 存储单元与 6 管 NMOS 存储单元相似, 只是将其中两只 NMOS 管换成 PMOS 管而构成 CMOS 型基本 RS 触发器。CMOS 存储单元工作过程与 NMOS 存储单元相同, 这里不再叙述。

与 NMOS 存储单元相比, CMOS 存储单元具有功耗极小的特点, 在降低电源电压的情况下还能保存数据, 因此用 CMOS 存储单元构成的存储器在主电源断电的情况下, 可以用电池供电, 从而弥补随机存储器数据因断电而丢失的缺点。

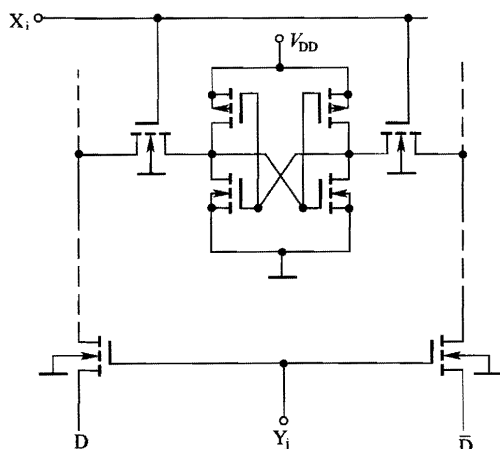


图 8-7 CMOS 存储单元

2. 动态存储单元

动态存储单元采用了 MOS 管的栅电容（分布电容）来存储数据。用动态存储单元构成的存储器称为动态存储器。动态存储单元通常有两种：3 管存储单元和单管存储单元。

(1) 3 管存储单元

3 管存储单元如图 8-8 所示。

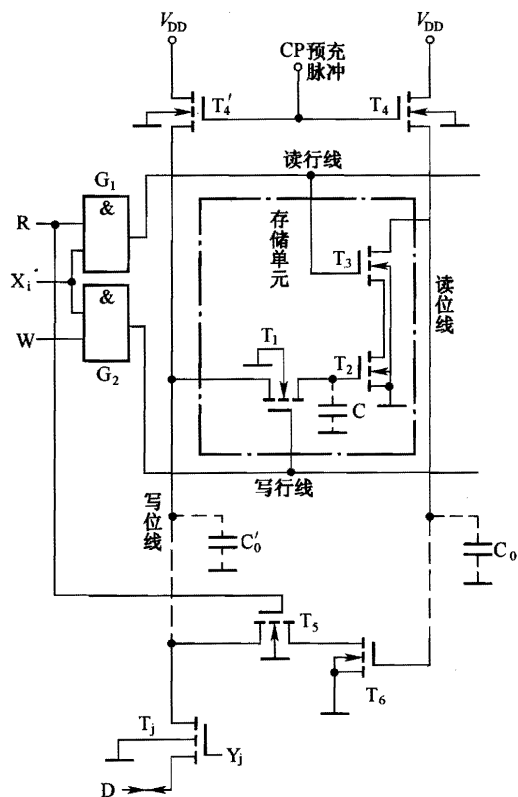


图 8-8 3 管存储单元

图 8-8 中点画线框内部分是动态存储单元，它只利用 T_2 管的栅电容 C 来存储数据。 T_4 、 T_4' 、 T_6 、 T_5 、 T_j 是该列各个存储单元公用电路，与门 G_1 、 G_2 供该行公用。下面从预充、读数据、写数据和刷新几方面来讲该电路工作原理。

① 预充。在对存储单元读写前要进行预充， T_4 、 T_4' 是该列的预充管。在对存储单元读写前，将预充脉冲 CP 送到 T_4 、 T_4' 栅极，两管导通，电源分别经 T_4 、 T_4' 对读、写位线上的分布电容 C_0 、电容 C_0' 充电，预充脉冲过后，在电容 C_0 、电容 C_0' 上保持高电平。

② 读数据。预充后用地址码选中该单元，即让 $X_i=Y_j=1$ ，让读写控制端 $R=1$ 。 $X_i=1$ 、 $R=1$ 使门 G_1 输出高电平“1”，它送到 T_3 的栅极， T_3 导通；同时 $Y_j=1$ 使 T_j 也导通。

若电容 C 上已存了“1”，则会使 T_2 导通，电容 C_0 经 T_3 、 T_2 放电，读位线降为低电平“0”，它使 T_6 截止，电容 C_0' 无法通过 T_5 、 T_6 放电，故写位线上保持为“1”，写位线上的“1”通过 T_j 输出到数据线 D 上，从而完成了读“1”的过程。

若电容 C 上已存了“0”，则 T_2 截止，电容 C_0 无法通过 T_3 、 T_2 放电，读位线保持高电平“1”，它使 T_6 导通，电容 C_0' 通过 T_5 、 T_6 放电，故写位线降为低电平“0”，写位线上的“0”通过 T_j 输出到数据线 D 上，从而完成了读“0”的过程。

从上面分析过程可以看出，电容 C 上的数据先反相传递到读位线上，然后读位线数据反相后传到写位线上，经两次反相后传递到写位线上的数据与电容 C 上的数据一致，该数据再送到数据线 D 上。

③ 写数据。在需要往存储单元写入数据时，让 $X_i=Y_j=1$ 、 $W=1$ ，这样写行线上为“1”， T_1 、 T_j 导通，数据 D 就可以通过 T_j 、写位线和 T_1 送到电容 C 上保存。

④ 刷新。由于栅电容不能长时间（约 20ms）保存数据，时间一长保存的数据就会丢失，为了能让数据长时间保存，就要对其不断“刷新”。

在刷新时，让 $Y_j=0$ ，隔断数据线与存储单元的联系，然后让读控制端 R 和写控制端 W 交替为“1”，即让存储单元不断进行读、写操作，先进行读操作将数据读到写位线上，再进行写操作，将写位线上的数据重新写入电容 C 中。这样每进行一次读写操作，电容 C 上的数据就被“刷新”了一次。

为了防止动态存储单元中的数据消失，一般要求在 20ms 内将整个动态存储器芯片内所有的存储单元重新刷新一遍。为了减少刷新的次数，通常每次刷新存储矩阵中的一行。

（2）单管存储单元

单管 NMOS 动态存储单元如图 8-9 所示。

图 8-9 省略了读写控制电路，图中点画线框内的电容 C 为数据存储电容， T_1 、 T_2 为行、列门控管， C_0 为位线上的分布电容，能暂存位线上的数据。

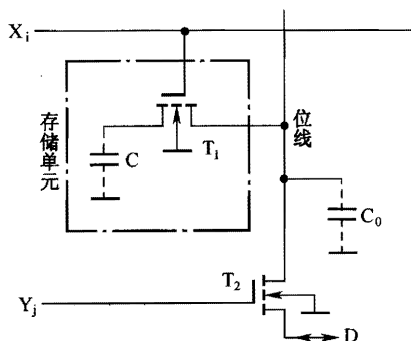


图 8-9 单管 NMOS 动态存储单元

当 $X_i=Y_j=1$ 时, T_1 、 T_2 导通, 在进行写操作时, 数据线上的数据 D 经 T_2 、 T_1 送到电容 C 上存储, 在进行读操作时, 电容 C 上的数据经 T_1 、 T_2 送到数据线上。由于电容 C 不能长时间保存数据, 所以也要进行刷新。

单管存储单元采用的元器件少, 故集成度高, 并且功耗低, 所以大容量的动态存储器的存储单元大多采用单管构成。

综上所述, 动态存储单元比静态存储单元所用的元器件少, 集成度可以做得更高, 在相同容量的情况下, 由动态存储单元构成的动态存储器成本更低, 但它需要刷新, 不如静态存储器使用方便, 且存取速度慢。

8.2.3 存储器容量的扩展

在一些数字电路系统中, 经常需要存取大量的数据, 一片 RAM 往往不够用, 这时就要进行存储容量扩展。存储容量扩展通常有两种方式: 一是字长扩展; 二是字数扩展。

1. 字长扩展

存储器内部存储数据都是以存数单元进行的, 例如 Intel 2114 型存储器内部有 1024 个存数单元, 每个存数单元能存 4 个二进制数。所谓字长是指存储器的每个存数单元存取二进制数的位数。

Intel 2114 型存储器能存取 1024 个 4 位二进制数, 其字长为 4 位。如果需要存储器能存取 1024 个 8 位二进制数, 也就是说需要进行字长扩展, 可以将两片 2114 并联起来。用两片 1024×4 位 RAM 组成的 1024×8 位 RAM 电路如图 8-10 所示。

将 RAM_1 的 4 位数据线作为高 4 位数据线 $D_7D_6D_5D_4$, 而将 RAM_2 的 4 位数据线作为低 4 位数据线 $D_3D_2D_1D_0$; 将两片 RAM 的 10 位地址线 $A_9 \sim A_0$ 和控制端 (R/\overline{W} 、 \overline{CS}) 都分

别并联起来。

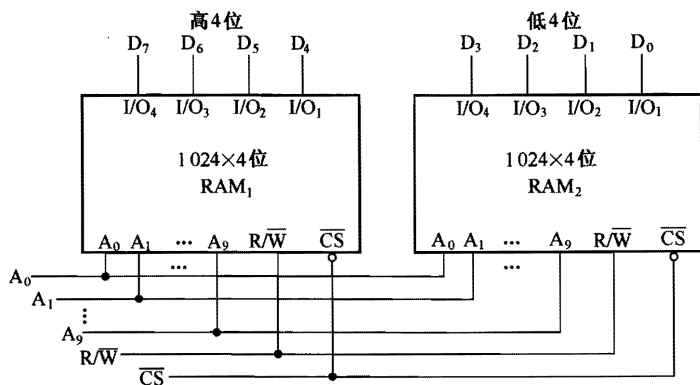


图 8-10 用两片 1024×4 位 RAM 接成的 1024×8 位 RAM 电路

在进行读写操作时，让 $R/\bar{W}=0$ 或 $R/\bar{W}=1$ ， $\bar{CS}=0$ ，两片 RAM 都同时工作，从地址线 $A_9 \sim A_0$ 输入地址信号，同时选中 RAM₁ 和 RAM₂ 中的某个单元，然后通过数据线 $D_7D_6D_5D_4$ 将高 4 位数写入 RAM₁ 选中的单元，或从该单元将高 4 位数读出，而通过数据线 $D_3D_2D_1D_0$ 将低 4 位数据存入 RAM₂ 选中的单元中，或从该单元将低 4 位数读出。

当 $\bar{CS}=1$ 时，两片 RAM 被封锁，无法对它们进行读写操作。

2. 字数扩展

字数扩展是指扩展存数单元的个数。例如 Intel 2114 型存储器能存储 1024 个 4 位二进制数，如果需要存储 4096 个 4 位二进制数，那么就要进行字数的扩展，采用 4 片 Intel 2114 型 RAM 来扩展。用 4 片 1024×4 位 RAM 组成的 4096×4 位 RAM 电路如图 8-11 所示。

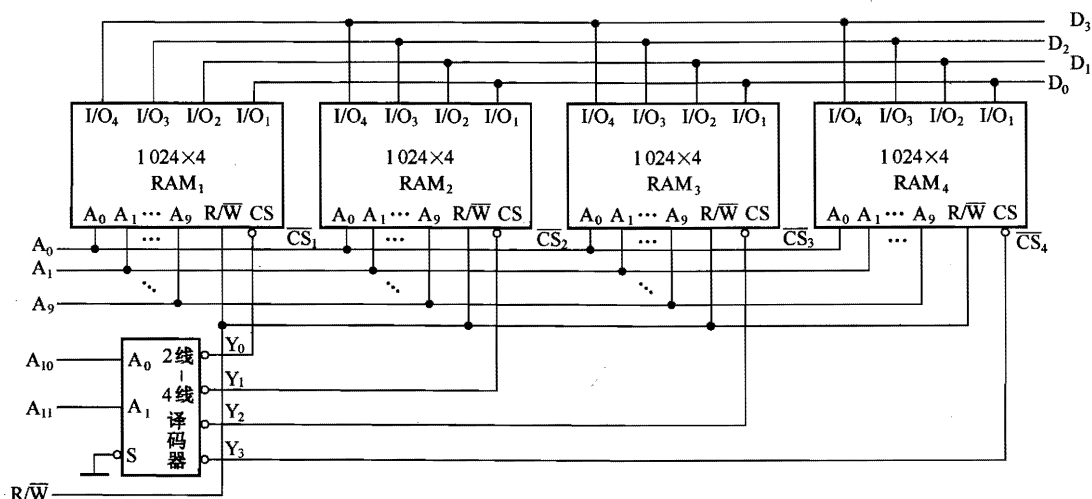


图 8-11 用 4 片 1024×4 位 RAM 组成的 4096×4 位 RAM 电路



在该电路中,将4片RAM的10位地址线 $A_9 \sim A_0$ 、控制端 R/\overline{W} 和4位数据线 $D_3D_2D_1D_0$ 都分别并联起来。由于4片RAM组成的存储器字长仍为4位,但存数单元增加了4倍,而10位地址码的寻址只有 $2^{10}=1\,024$ 个,所以需要再增加两根地址线,才能实现 $4\,096$ (即 2^{12})个单元的寻址。Intel 2114只有10根地址线,无法再增加地址线,解决的方法是将两根地址线接到2线-4线译码器,再把译码器4个输出端分别接到4片RAM的 \overline{CS} 端。

在读写操作时(由 R/\overline{W} 端控制),若 $A_{11}A_{10}=00$,经译码器译码后,从 Y_0 端输出“0”,它送到 RAM_1 的 \overline{CS} 端, RAM_1 工作,因为译码器的 Y_3 、 Y_2 、 Y_1 端均为“1”,它们分别送到 RAM_4 、 RAM_3 、 RAM_2 的 \overline{CS} 端,这3个RAM都不工作。此时12位地址线 $A_{11} \sim A_0$ 只可以选中 RAM_1 内部1 024个单元中任意一个,它的地址范围是 $000000000000 \sim 001111111111$ ($A_{11}A_{10}=00$)。

当 $A_{11}A_{10}=01$ 时,译码器 Y_1 端输出“0”, RAM_2 工作,12位地址线 $A_{11} \sim A_0$ 只可以选中 RAM_2 内部1 024个单元中任意一个,它的地址范围是 $010000000000 \sim 011111111111$ 。

当 $A_{11}A_{10}=10$ 时,译码器 Y_2 端输出“0”, RAM_3 工作,12位地址线 $A_{11} \sim A_0$ 只可以选中 RAM_3 内部1 024个单元中任意一个,其地址范围是 $100000000000 \sim 101111111111$ 。

当 $A_{11}A_{10}=11$ 时,译码器 Y_3 端输出“0”, RAM_4 工作,12位地址线 $A_{11} \sim A_0$ 只可以选中 RAM_4 内部1 024个单元中任意一个,其地址范围是 $110000000000 \sim 111111111111$ 。

各片RAM的地址分配见表8-1。

表8-1 各片RAM的地址分配

选中芯片	A_{11} A_{10}	\overline{CS}_1 \overline{CS}_2 \overline{CS}_3 \overline{CS}_4	地址范围($A_{11}A_{10} \cdots A_0$)
RAM_1	0 0	0 1 1 1	$000000000000 \sim 001111111111$
RAM_2	0 1	1 0 1 1	$010000000000 \sim 011111111111$
RAM_3	1 0	1 1 0 1	$100000000000 \sim 101111111111$
RAM_4	1 1	1 1 1 0	$110000000000 \sim 111111111111$

8.3 只读存储器

顺序存储器和随机存储器能写入或读出数据,但断电后数据会丢失,而在很多数字电路系统中,常需要长期保存一些信息,如固定的程序、数字函数、常数和一些字符,这就要用到只读存储器。只读存储器简称ROM,它是一种能长期保存信息的存储器。这

种存储器具有断电后信息仍可继续保存的特点, 在正常工作时只可读取数据, 而不能写入数据。

ROM 的种类很多, 根据信息的写入方式分, 有固定只读存储器 (ROM)、可编程只读存储器 (PROM)、可改写只读存储器 (EPROM) 和电可改写只读存储器 (EEPROM); 根据构成的器件分, 有二极管 ROM、双极型三极管 ROM 和 MOS 管 ROM。

8.3.1 固定只读存储器 (ROM)

固定只读存储器是指在生产时就将信息固化在存储器中, 用户不能更改其中信息的存储器。

1. 二极管固定 ROM

二极管固定 ROM 如图 8-12 所示, 它由存储矩阵、地址译码器和输出电路组成。

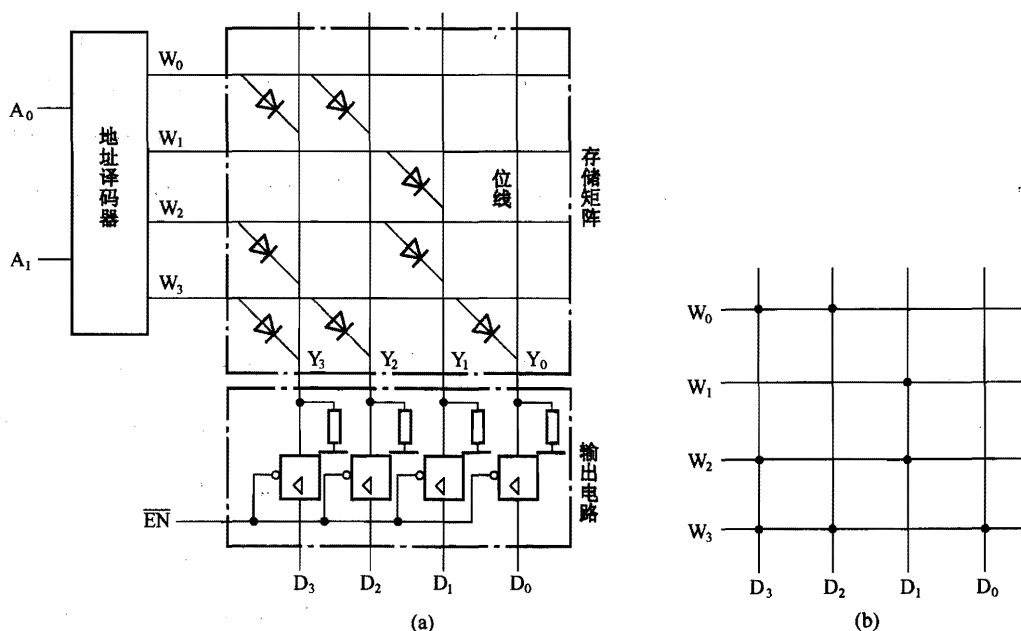


图 8-12 二极管固定 ROM

这里的地址译码器采用 2 线-4 线译码器, 输入接两根地址线, 输出为 4 根字选线 $W_0 \sim W_3$ 。存储矩阵由 4 根字选线 $W_0 \sim W_3$ 和 4 根位线 $Y_0 \sim Y_3$ 再加上一些二极管构成, 字选线与位线的交叉点代表一个存储单元, 它们共有 $4 \times 4 = 16$ 个交叉点, 即有 16 个存储单元, 能存储 4 个 4 位二进制数, 交叉处有二极管的单元表示存储数据为“1”, 无二极管的单元表示存储数据为“0”。输出电路由 4 个三态门构成, 三态门的导通受使能端 \overline{EN} 的控制, $\overline{EN} = 0$



时三态门导通。

如果要从 ROM 中读取数据, 可以让 $\overline{EN}=0$, 并送地址码到地址译码器的 A_1A_0 端, 例如 $A_1A_0=00$, 经地址译码后从字选线 W_0 输出“1”, 与字选线 W_0 相连的两个二极管导通, 位线 Y_3 、 Y_2 得到“1”, 因为字选线 $W_1 \sim W_3$ 均为低电平, 故与这些字选线相连的二极管都截止, 相应的位线为“0”, 4 条位线 $Y_3 \sim Y_0$ 的数据为 1100, 这 4 位数据经 4 个三态门输出到数据线 $D_3 \sim D_0$ 上。即当输入的地址 $A_1A_0=00$ 时, 输出数据 $D_3D_2D_1D_0=1100$ 。

当输入的地址 $A_1A_0=01$ 时, 输出数据 $D_3D_2D_1D_0=0010$;

当输入的地址 $A_1A_0=10$ 时, 输出数据 $D_3D_2D_1D_0=1010$;

当输入的地址 $A_1A_0=11$ 时, 输出数据 $D_3D_2D_1D_0=1101$ 。

为了画图方便, 通常在存储矩阵中有二极管的交叉点用“码点”表示, 而省略二极管, 这样就得到了存储矩阵的简化图, 如图 8-12 (b) 所示。

2. MOS 管固定 ROM

MOS 管固定 ROM 如图 8-13 所示。从图中可以看出, MOS 管固定 ROM 与二极管固定 ROM 大部分是相同的, 不同之处主要是用 NMOS 管取代二极管。

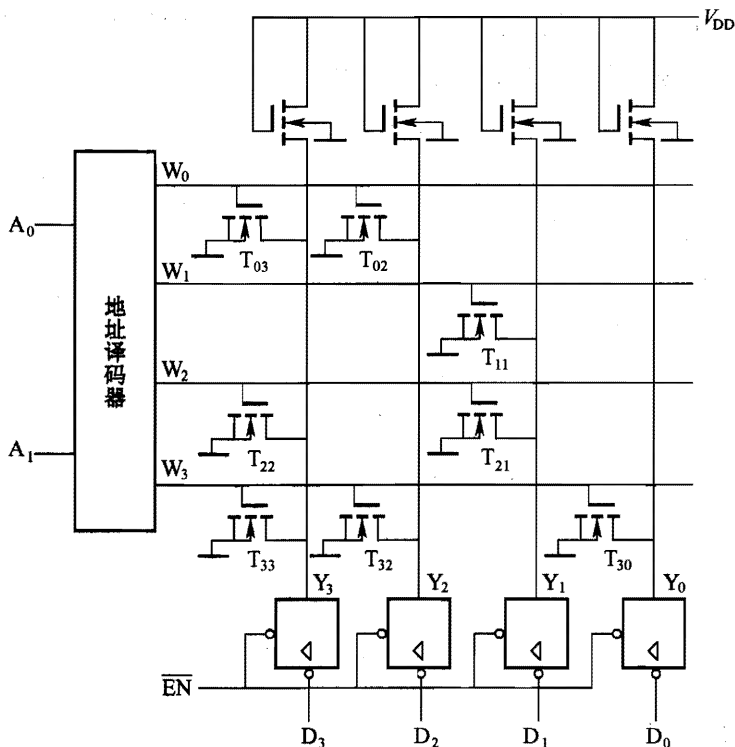


图 8-13 MOS 管固定 ROM

在读数据时，可以让 $\overline{EN}=0$ ，当 $A_1A_0=00$ 时，经地址译码后从字选线 W_0 输出“1”，与字选线 W_0 相连的两个 MOS 导通，位线 Y_3 、 Y_2 得到低电平“0”，因为字选线 $W_1 \sim W_3$ 均为低电平，故与这些字选线相连的 MOS 管都截止，相应的位线为“1”，4 条位线 $Y_3 \sim Y_0$ 的数据为 0011，数据 0011 经 4 个三态门输出并反相送到数据线 $D_3 \sim D_0$ 上，输出数据 $D_3D_2D_1D_0=1100$ 。

当输入的地址 $A_1A_0=01$ 时，输出数据 $D_3D_2D_1D_0=0010$ ；

当输入的地址 $A_1A_0=10$ 时，输出数据 $D_3D_2D_1D_0=1010$ ；

当输入的地址 $A_1A_0=11$ 时，输出数据 $D_3D_2D_1D_0=1101$ 。

8.3.2 可编程只读存储器（PROM）

固定 ROM 存储的信息是固化的，用户不能更改，这对大量需要固定信息的数字电路系统是适合的。但是在开发数字电路系统新产品时，人们经常需要将自己设计的信息内容写入 ROM，固定 ROM 对此是无能为力的。遇到这种情况时可采用一种具有可写功能的 ROM——可编程只读存储器来实现。

可编程只读存储器英文缩写为 PROM (Programmable Read Only Memory)，在出厂时，它是一种空白 ROM（存储单元全为“1”或“0”），用户可以根据需要写入信息，写入信息后就不能再更改，也就是说可编程 ROM 只能写一次。

可编程 ROM 的组成结构与固定 ROM 相似，只是在存储单元中的器件（二极管、晶体管或 MOS 管）上接有镍铬或多晶硅熔丝，在写入数据时通过大电流将相应单元中的熔丝熔断，从而将写入的数据固化下来。下面以双极型晶体管构成的 PROM 为例来说明，图 8-14 所示为其中的存储单元。

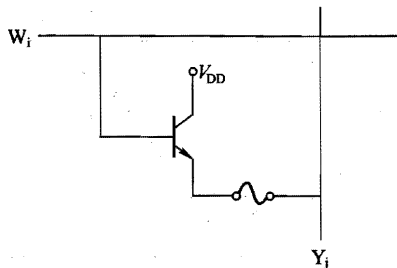


图 8-14 晶体管 PROM 存储单元

这种 PROM 在存储单元的晶体管发射极串接了一个熔丝，当字选线 $W_i=1$ 时，该单元处于选中状态，晶体管导通，电源通过晶体管、熔丝加到位线 Y_j ， $Y_j=1$ ，如果要写入数据



“0”，只要提高电源电压 V_{DD} ，在晶体管导通时有很大的电流流过熔丝，熔丝断开，位线 $Y_j=0$ ，从而完成了写入数据“0”。

如果有的单元不需要写“0”，则不选中该单元，该字选线为“0”，相应的晶体管截止，熔丝不会熔断。写入数据完成后，只要将高电压电源换回到正常电源，晶体管再导通时，由于电流小，不会熔断熔丝。

8.3.3 可改写只读存储器 (EPROM)

可编程 ROM 是依靠熔断熔丝来写入数据的，但熔丝熔断后是不能恢复的，也就是说可编程 ROM 写入数据后就不能再更改，这不能满足设计时需要反复修改存储内容的需要。为了解决这个问题，又生产出可改写只读存储器。

可改写只读存储器的英文缩写为 EPROM (Erasable Programmable Read Only Memory)，它具有可写入数据，并且可以将写入的数据擦除，再重新写入数据的特点。

可改写 ROM 的结构与固定 ROM 基本相同，不同之处在于它用一种叠层栅 MOS 管替代存储单元中普通的 MOS 管。叠层栅 MOS 管的结构及构成的存储单元如图 8-15 所示。

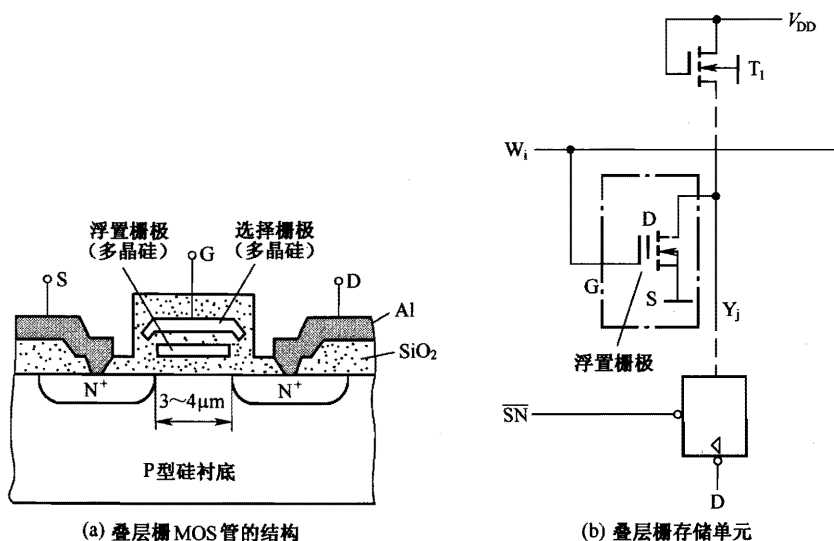


图 8-15 叠层栅 MOS 管的结构及构成的存储单元

图 8-15 (a) 所示为叠层栅 MOS 管的结构示意图，它有两个栅极，上面的栅极与普通的栅极作用相同，称之为选择栅极，下面的栅极被包围在二氧化硅绝缘层中，处于悬浮状态，称为浮置栅极。在 EPROM 写入数据前，片内所有的存储单元中的叠层栅 MOS 管的浮



置栅极内无电荷，这种情况下的叠层栅 MOS 管与普通的 NMOS 管一样。

在没有写入数据时，如果选中某存储单元，该单元的字选线 W_i 为高电平“1”时，叠层栅 MOS 管处于导通状态，位线 Y_j 为低电平“0”，再经三态门反相后，在数据线得到“1”。即没写入数据时，存储单元存储数据为“1”。

当往存储单元写入数据时，需要给叠层栅 MOS 管的 D、S 极之间加很高的电压（例如 +25V，它由 V_{DD} 经 NMOS 管 T_1 送来），然后给字选线 W_i 送高幅度的正脉冲（例如宽度为 50ms、幅度为 25V 的脉冲），叠层栅 MOS 管 D、S 极之间有沟道形成而导通，由于选择栅极电压很高，它产生很大的吸引力，沟道中的一部分电子被吸引而穿过二氧化硅薄层到达浮置栅极，浮置栅极带负电，由于浮置栅极被二氧化硅绝缘层包围，它上面的电子很难放掉，没有外界电压作用时可以长期保存（10 年以上）。当高电压改成正常电压后，由于浮置栅极上负电荷的影响，选择栅极电压加 +5V 的电压无法使 D、S 极之间形成沟道，即在普通情况下，叠层栅 MOS 管选择栅极即使加高电平也无法导通，位线 $Y_j=1$ ，经三态反相后，在数据线 D 上得到“0”，从而完成往存储单元写“0”过程。

如果要擦除 EPROM 存储的信息，可以采用紫外线来照射。让紫外线照射 EPROM 上透明石英玻璃窗口（照射时间为 15~20min），这样 EPROM 内部各存储单元中的叠层栅 MOS 管的浮置栅极上的电子获得足够的能量，又会穿过二氧化硅薄层回到衬底中，叠层栅 MOS 管又相当于普通的 MOS 管，存储单元存储数据又变为“1”，从而完成了信息的擦除。

8.3.4 电可改写只读存储器（EEPROM）

可改写只读存储器擦除信息时需要用到紫外线，另外在擦除时整个存储信息都会消失，这仍会造成操作不方便。因此后来又开发一种更先进的存储器——电可改写只读存储器。

电可改写只读存储器的英文缩写为 EEPROM（或 E^2 PROM），它的结构与可改写 ROM 很相似，不同之处在于电可改写 ROM 的叠层栅 MOS 管的浮置栅极上增加了一个隧道管，在电压的控制下，浮置栅极上的电子可以通过隧道管放掉，而不用紫外线，即电可改写 ROM 的写入和擦除数据都由电压来完成。

电可改写 ROM 的特点是既能写入数据，又可以将写入的数据擦除，擦除数据时只需要用普通的电压就可以完成，并且能一字节（8 位二进制数称为 1 字节）一字节地独立擦除数据。EEPROM 擦除数据的时间很短，一般整片擦除时间约为 10ms，每个存储单元可



以改写的次数为几万次或几百万次以上,存储的数据可以保存 10 年以上,这些优点使它得到了越来越广泛的应用。

习题 8

1. 半导体存储器是指_____电路。半导体存储器可分为_____、_____和_____。
2. 顺序存储器是一种_____的存储器,又称为_____存储器。顺序存储器是由_____组成,而_____则是由基本的_____组成。
3. 为了让移存器中的数据得以长时间保存,要及时对移存器进行_____,这样可有效地解决了移存器中_____不能长时间保存数据的问题。
4. 随机存储器又称_____存储器,简称_____,随机存储器能_____数据、又可以将存储的数据_____,在_____情况下数据可以一直保存,_____情况下数据会消失。
5. 随机存储器主要由_____、_____、_____ 3 部分组成。存储矩阵中的每个存储单元都有_____编号。
6. 静态存储单元采用了_____作为记忆单元,用静态存储单元构成的存储器称为_____存储器。静态存储单元通常有两种:_____存储单元和_____存储单元。
7. 动态存储单元采用了_____来存储数据。用动态存储单元构成的存储器称为_____存储器。动态存储单元通常有两种:_____存储单元和_____存储单元。
8. 动态存储单元比静态存储单元所用的元件_____,集成度做得更_____,在相同容量的情况下,由动态存储单元构成的动态存储器成本更_____,但它需要_____,不如静态存储器使用方便,且存取速度_____。
9. 存储容量扩展通常有两种方式:一是_____扩展;二是_____扩展。扩展存数单元的个数称为_____扩展。
10. 只读存储器简称_____,它是一种_____的存储器。这种存储器具有_____的特点,在正常工作时只可_____数据,而不能_____数据。
11. 固定只读存储器是指_____的存储器。
12. 可编程只读存储器简称_____,在出厂时,它是一种_____ ROM,用户可以根据需要写入信息,写入信息后就不能再更改,也就是说可编程 ROM 只能写_____次。
13. 可改写只读存储器简称_____,它具有可写入数据,并且可以将写入的数据擦除,再重新写入数据的特点,如果要擦除其中的信息,可以采用_____,擦除时所有的数据都会消失。
14. 电可改写只读存储器简称_____,或称_____,它的结构与可改写 ROM 很相似,不同之处在于电可改写 ROM 的叠层栅 MOS 管的浮置栅极上增加了一个_____管,在电压的控制下,浮置

栅极上的电子可以通过该管放掉，故数据擦除不用_____，即电可改写 ROM 的写入和擦除数据都由_____来完成。

15. 电可改写 ROM 擦除数据时只需要用普通的_____就可以完成，并且能以_____为单位擦除数据，这种 ROM 的擦除数据时间很短，一般整片擦除时间约为_____，每个存储单元可以改写的次数为_____以上，存储的数据可以保存_____年以上。